

INF1500

Laboratoire 3

Introduction au langage VHDL

Automne 2011

Le travail est à remettre pour:

- Le 1er novembre pour le groupe 1
- Le 8 novembre pour le groupe 2
- Le 7 novembre pour le groupe 3

1 Objectifs

Le but de ce laboratoire est de vous familiariser avec le langage de description matériel VHDL. Vous avez comme objectif de réaliser une unité arithmétique et logique (ALU) simple en VHDL. Ce module sera ensuite intégré dans un diagramme de blocs pour le connecter aux différents périphériques du FPGA. Le système sera de type combinatoire.

2 Système considéré

Le système à réaliser est représenté sur le schéma 1. Veuillez noter qu'une barre oblique dessinée sur un bus représente la largeur de celui-ci. Celui prends en entrée deux vecteurs de 4 bits et permet d'effectuer 4 types d'opérations sur ceux-ci :

- L'addition des deux valeurs ($A+B$)
- La soustraction des deux valeurs ($A-B$)
- La multiplication des deux valeurs ($A*B$)
- Une comparaison entre A et B (la sortie sera 1 si A est supérieur ou égal à B, 0 dans le cas contraire)

Le choix de l'opération se fait à l'aide du joystick présent sur la carte du laboratoire, lorsque le joystick n'est pas dans sa position neutre il faut le communiquer à l'ALU. Pour ceci il est nécessaire de réaliser un encodeur en VHDL, celui-ci prendra en entrée un vecteur de 4 bits représentant l'état de chacune des positions possibles du joystick (haut, bas, droite et gauche) et aura un sortie un signal de 2 bits représentant l'opération à effectuer ainsi qu'un signal "Op_valid" indiquant qu'une opération est demandée.

La sortie du système sera sur 5 bits, si jamais le résultat dépasse la valeur maximale représentable sur ces 5 bits le signal "Erreur" sera à 1, il sera à 0 dans le cas contraire.

L'unité devra fonctionner avec des valeurs positives de type "unsigned". Quand le résultat d'une opération sera négatif il faudra l'indiquer à l'aide du signal d'erreur. Lors d'une erreur il ne faut pas oublier de mettre la valeur 0 sur le vecteur de résultat.

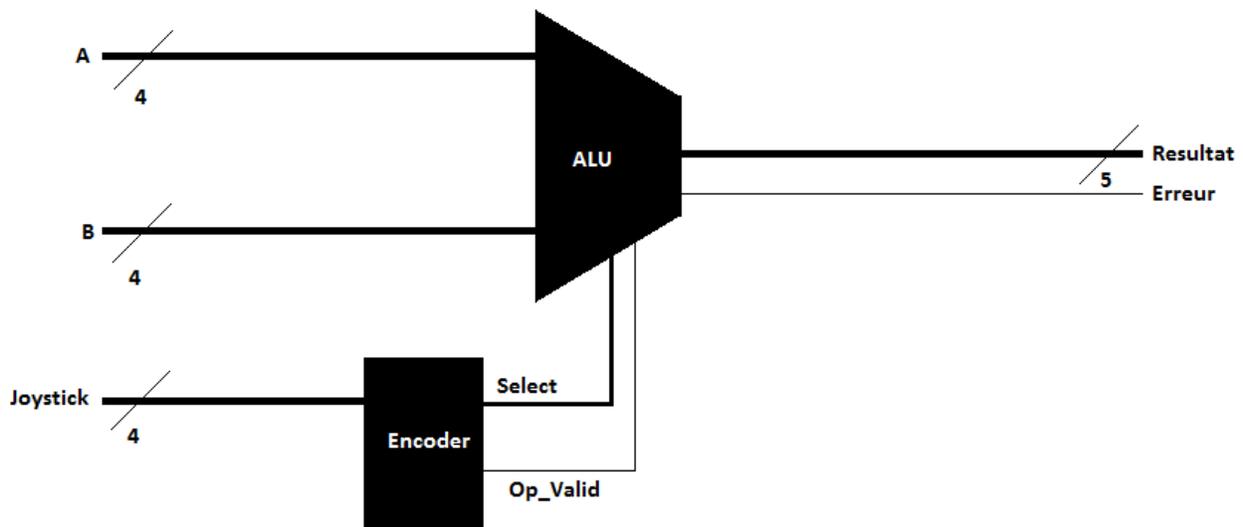


Figure 1: Schéma du système à réaliser

Les deux modules à réaliser devront être codés en VHDL. Il faudra faire attention à bien choisir les types de signaux utilisés. Les réglages par défaut de ActiveHDL ne permettent pas d'utiliser des vecteurs de type "unsigned", il est uniquement possible de travailler avec des `std_logic_vector` pour les entrées et sorties des modules développés. Il est possible de modifier ce comportement en effectuant les étapes suivantes :

- Aller dans le menu "Diagram" et choisir "Code Generation settings"
- Sur l'onglet "Design Unit" ajouter la ligne "use ieee.numeric_std.all;" dans le champs "Design Unit Header"
- Dans l'onglet "Generation" choisir le type "UNSIGNED" pour le type des bus

Les modules VHDL devront utiliser des variables de type "integer" pour effectuer correctement les calculs, pour pouvoir convertir les signaux d'entrée de type unsigned en integer vous devrez utiliser la fonction `to_integer(unsigned valeur)`, et la fonction `to_unsigned(integer valeur, nombre de bits)`.

3 Travail à effectuer

Il vous faudra tout d'abord concevoir le système décrit précédemment. Chacun des modules VHDL développé devra être testé de la façon que vous estimez la plus appropriée. Une fois vos modules

validés vous les intégrerez dans un diagramme de bloc qui permettra de connecter les entrées et sorties de ces modules aux périphériques de la plaquette du laboratoire.

Les 2 valeurs devront être choisies à l'aide des interrupteurs, les 4 interrupteurs de gauche représentant la valeur A et les autres la valeur B. Attention à bien considérer l'interrupteur de gauche de chaque nombre comme celui représentant le bit de poids fort et celui de droite comme le bit de poids faible. Les 5 bits de sortie seront reliés aux LEDs les plus à droite de la plaquette et afficheront le résultat de l'opération de façon binaire, avec une lecture se faisant de la gauche vers la droite. Finalement le signal d'erreur sera relié à la LED la plus à gauche.

4 Modalités de remise et barème

Pour ce laboratoire, vous devez remettre sur **Moodle** une archive contenant votre travail de groupe. Cette archive doit impérativement être au **format zip** et nommée *inf1500_lab1_X_Y.zip* où X et Y sont vos matricules d'étudiants à Poly. Cette archive doit contenir :

- le rapport au **format pdf** (contenant les schémas des différents circuits et décrivant votre stratégie de test)
- les fichiers sources *.vhd
- les fichiers de simulation *.awc/*awf
- le fichier de configuration du FPGA *.bit
- le fichier de contraintes *.ucf

Respectez bien les consignes de remise, car les points de présentation en dépendent.

Le rapport devra inclure

- Une courte introduction.
- Une description de la solution développée dans vos mots. Expliquez brièvement comment fonctionnent les modules VHDL que vous avez développés.
- La description de la stratégie de tests utilisée.
- Une conclusion résumant les apprentissages effectués, les erreurs rencontrées et les attentes pour les prochains laboratoires.

Le laboratoire sera évalué sur 100 points avec le barème suivant :

Bon travail

Critère	Points
Contenu du rapport	/10
Code VHDL	/15
Stratégie de test	/20
Simulation du circuit	/15
Prototypage sur FPGA (évaluée lors de la séance suivante)	/30
Qualité du rapport et respect des consignes de remise	/10
Total	/100