

Présentation

des



MICROCHIP

CREMMEL Marcel

Lycée Louis Couffignal

STRASBOURG

Présentation des dsPIC

Les dsPIC sont des microcontrôleurs 16 bits rapides avec des capacités de DSP (Digital Signal Processor) convenant ainsi à de nombreuses applications de traitement "temps réel".

Operating Range dsPIC30F

DC to 30 MIPS*
VDD range: 2.5 to 5.5V
Ind. (-40° to 85°C) and ext. (-40° to 125°C)
*30 MIPS @ 4.5 to 5.5V, -40° to 85°C

High Performance CPU

Single cycle execution (most instructions)
C compiler optimized instruction set
16-bit wide data path
76 base instructions: mostly 1 word/1 cycle
16 16-bit general purpose registers
Software stack
16 x 16 fractional/integer multiplier
32/16 and 16/16 divide
40-stage barrel shifter
DSC additions (dsPIC30F & dsPIC33F):
• Adds 8 base DSP instructions
• 2 40-bit accumulators with rounding and saturation options
• Single core combines MCU & DSP features
• Adds Modulo and Bit-reverse address modes

System Management

Flexible clock options:
• Primary external clock, crystal, resonator
• Secondary lower power 32 kHz oscillator
• Internal RC: fast or low power
• Integrated low jitter PLL
– PLL sourced by ext. and int. clock sources
Programmable power-up timer
Oscillator start-up timer/stabilizer
Watchdog Timer with its own RC oscillator
Clock switching/fail-safe clock monitor

Interrupt Controller

5 cycle fixed latency
Up to 118 interrupt sources, up to 5 external
7 programmable priority levels
4 processor exceptions and software traps

Power Management

Switch between clock sources in real-time
Programmable power-on reset start up
Programmable low-voltage detect (dsPIC30F)
Programmable brown-out reset
Idle and Sleep modes with fast wake up

On-chip Flash, Data EEPROM and RAM

Flash program memory: up to 256 KB
dsPIC30F data EEPROM: up to 4 KB
• 1 million erase/write cycles typical
Data RAM: up to 30 KB

1. Architecture

Architecture Harward :

Les dsPIC ont une architecture Harward avec des bus "programme" et "données" séparés.

L'architecture Harward autorise des tailles de bus différentes : soit 16 bits pour les données et 24 bits pour les instructions. Cette organisation permet aussi de réduire considérablement les temps d'exécution car, pendant que le processeur lit la prochaine instruction dans la mémoire programme, il exécute l'actuelle qui manipule des données en RAM.

Compteur programme et mémoire programme :

Le compteur programme (PC) a une taille de 23 bits, mais pour des raisons de compatibilité, seuls 22 sont utilisés, le bit de poids faible étant toujours à "0".

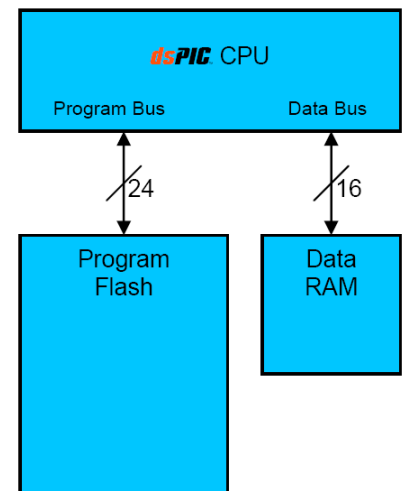
Le PC permet ainsi d'adresser jusqu'à 4M x 24 bits de mémoire programme. Elle comporte :

- les tables de saut du "reset" et des interruptions en mémoire "flash"
- la mémoire "flash" pour le programme de l'application
- la mémoire EEPROM
- la mémoire "flash" des bits de configuration

Les instructions du dsPIC sont pour la plupart codées sur 24 bits et occupent ainsi qu'une seule case mémoire pour privilégier la vitesse.

Au "reset", le CPU exécute l'instruction placée à l'adresse 0x000000. On y programme une instruction de saut (codée sur 2x24 bits) vers la première instruction du programme de l'application.

Les interruptions sont traitées suivant un mécanisme analogue. A chacune des 127 cases mémoire entre les adresses 0x000004 et 0x0000FE est associée une interruption ou un "trap". Chacune de ces cases est programmée avec l'adresse des fonctions d'interruption correspondantes.



Plan de la mémoire programme

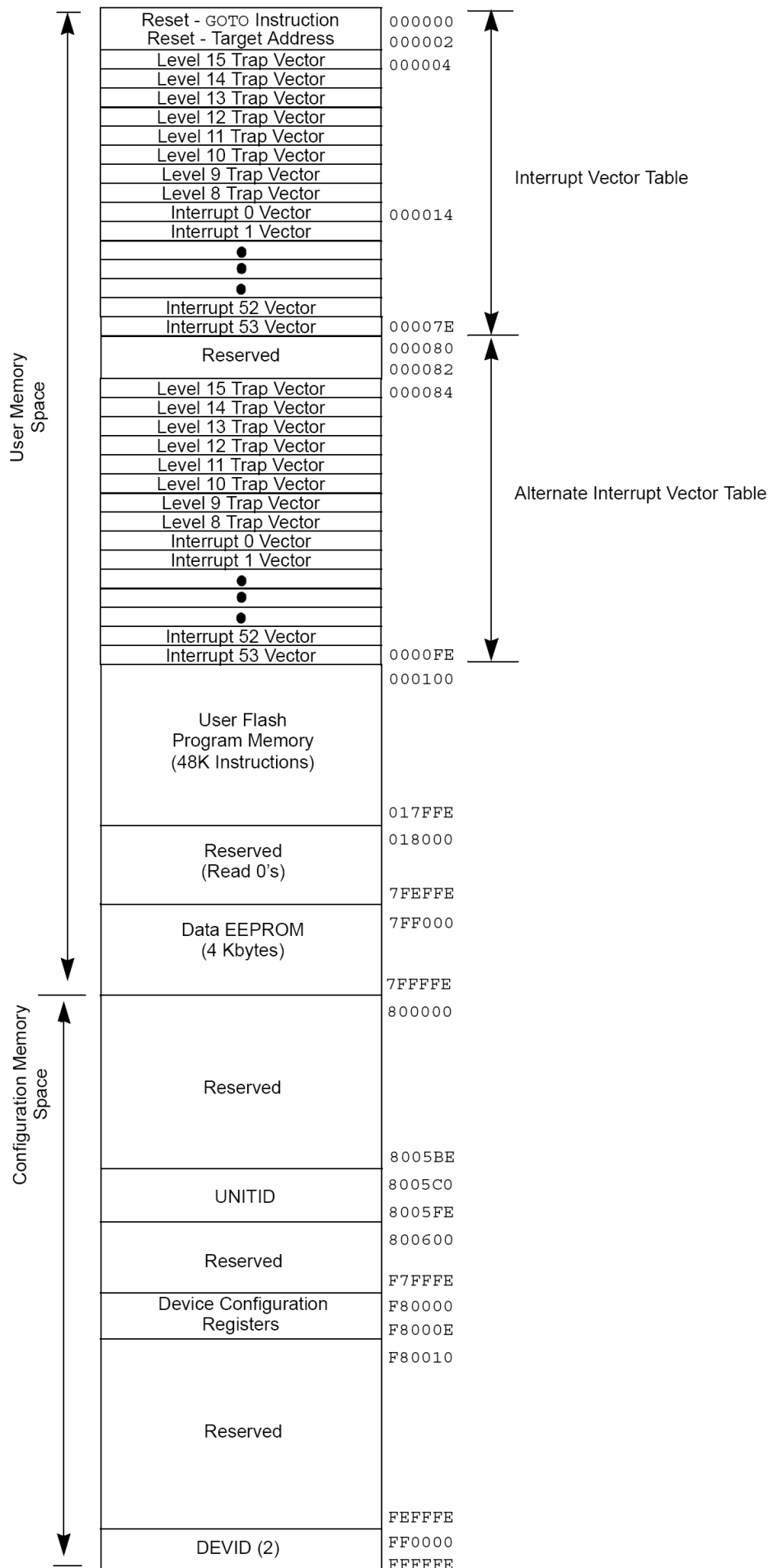
On retrouve dans ce plan l'instruction "GOTO" à l'adresse 0x000000 et les vecteurs d'interruption.

Le code du programme de l'application est programmé à partir de l'adresse 0x000100. La taille de la mémoire flash dépend de la version du dsPIC.

La taille et l'emplacement de la mémoire EEPROM varient également d'un type de dsPIC à l'autre.

Les derniers emplacements mémorisent différents numéros d'identification (types et versions de dsPIC), ainsi que certains bits de configuration au "reset" du µC (choix de l'horloge, validation ou inhibition de certaines fonctions).

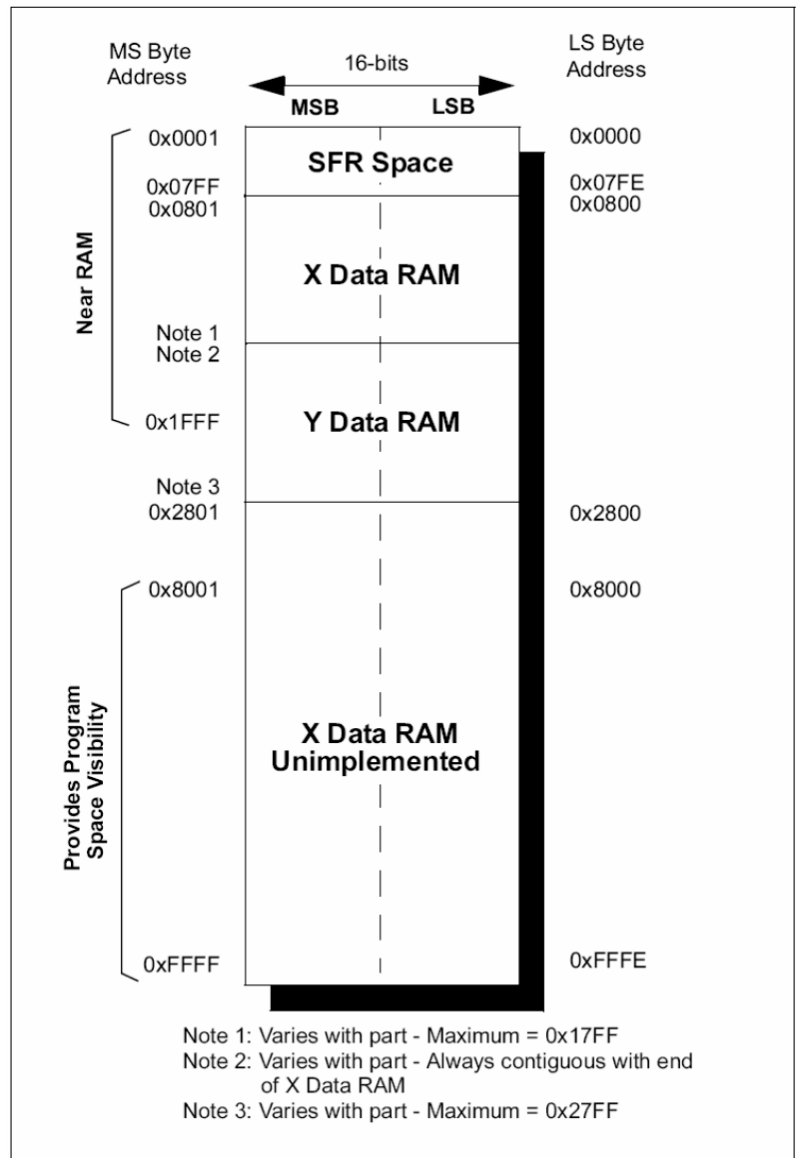
Le programme de l'application peut modifier ces choix initiaux à tous moments.



Mémoire RAM :

L'espace adressable est de 64K octets. Il est divisé en plusieurs blocs :

- SFR : ce bloc de 2Ko regroupe les registres du CPU (travail, état et pointeur de pile) et les registres de configuration des périphériques
- X RAM et Y RAM : ces 2 blocs sont contigus et la capacité dépend du circuit. Le CPU y lit et écrit de façon classique mais le module DSP peut accéder **simultanément** aux 2 blocs en un seul cycle
- Le dernier bloc de 32Ko n'est pas implanté mais peut être le miroir d'un bloc de la mémoire *programme*. Cela permet au CPU d'accéder à des tableaux de constantes comme il le fait avec des variables en RAM.

**dsPIC CPU :**

L'organisation du CPU est donnée sur la page suivante. Les mémoires *programme* et *RAM* y figurent aussi pour la compréhension des flux.

Registres de travail :

Ils sont au nombre de 16 et ont une taille de 16 bits. Ils sont nommés W0 à W15 et correspondent aux 16 premières cases de la mémoire RAM (adresses 0x0000 à 0x001E). Chacun de ces registres peut être utilisé pour mémoriser une donnée 16 bits ou pointer une variable en RAM.

Ces registres peuvent aussi pointer une partie de la mémoire programme via le bloc PSV (Program Space Visibility) représenté sur le schéma. Cela permet au programme d'accéder à des tables de constantes placées en mémoire flash.

Le registre W15 est le pointeur de pile du CPU.

Modes d'adressage :

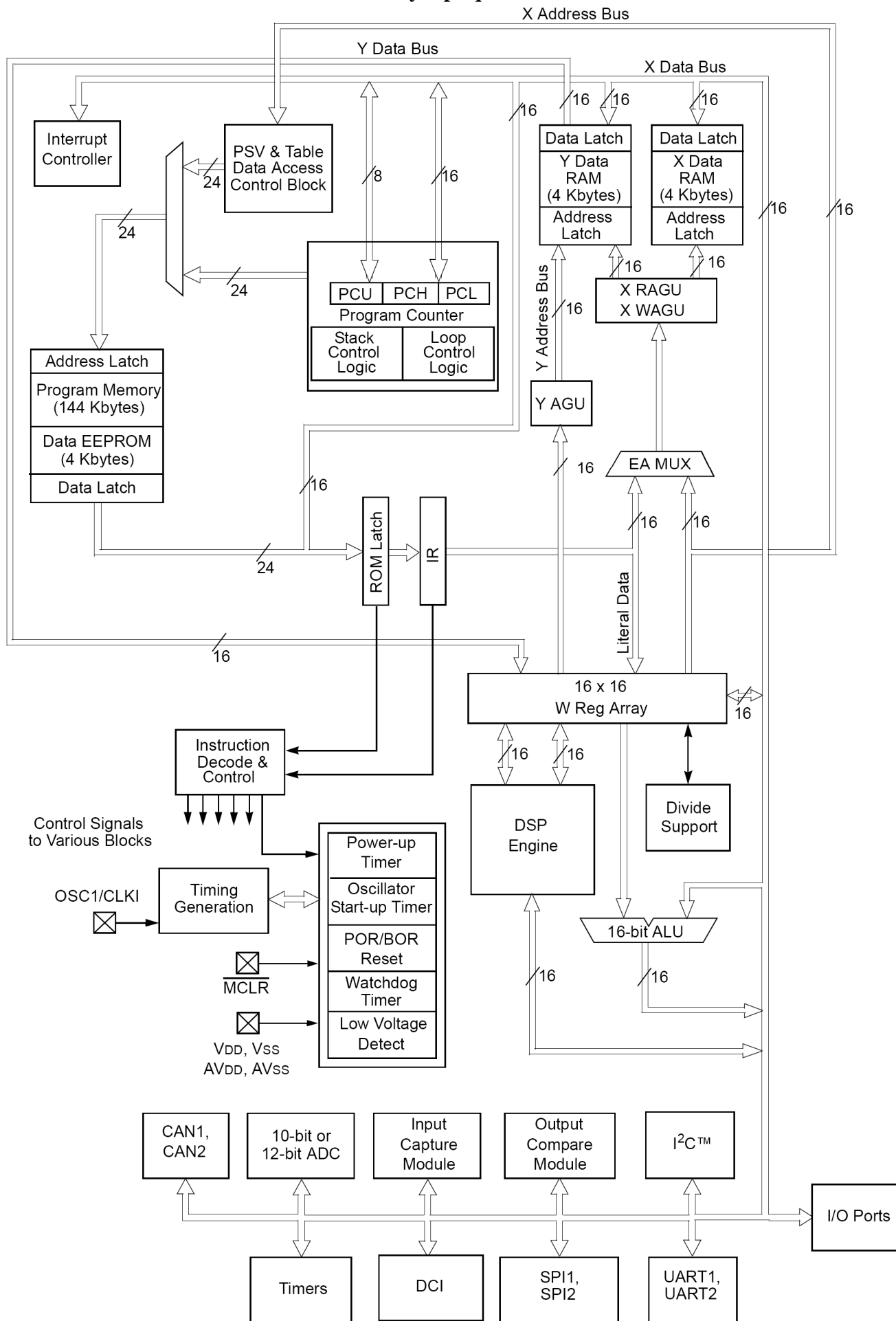
L'architecture du CPU permet les modes d'adressage inhérent, relatif, immédiat, direct, registre direct, registre indirect.

Toutefois, le programmeur en C est rarement confronté à ces détails, le compilateur C les exploite au mieux.

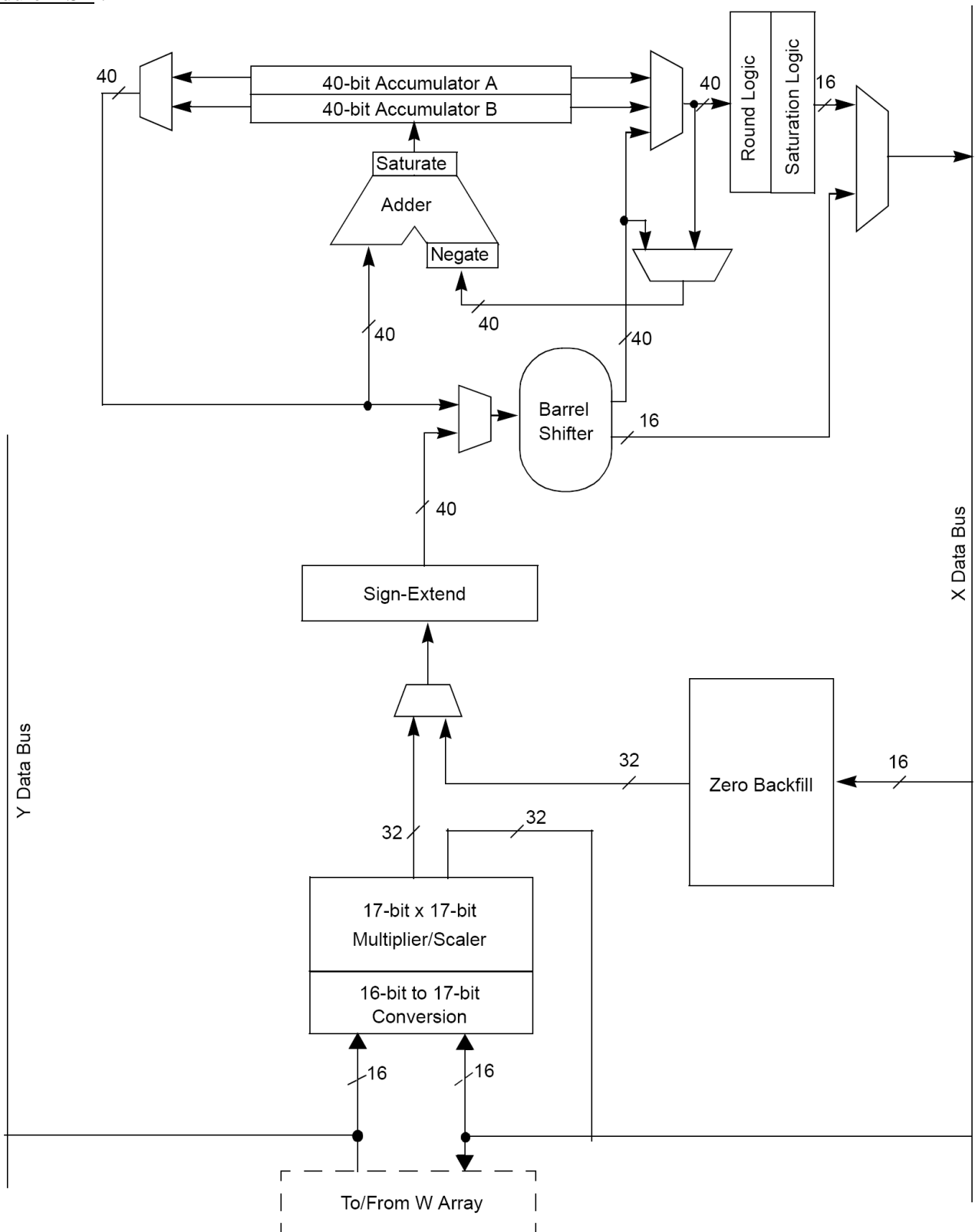
ALU 16 bits :

Aucune particularité dans l'Unité Arithmétique et Logique. Elle comporte les opérateurs standards : addition, soustraction, décalage 1 bit, etc, mais pas la multiplication.

Schéma synoptique du CPU



Module DSP :

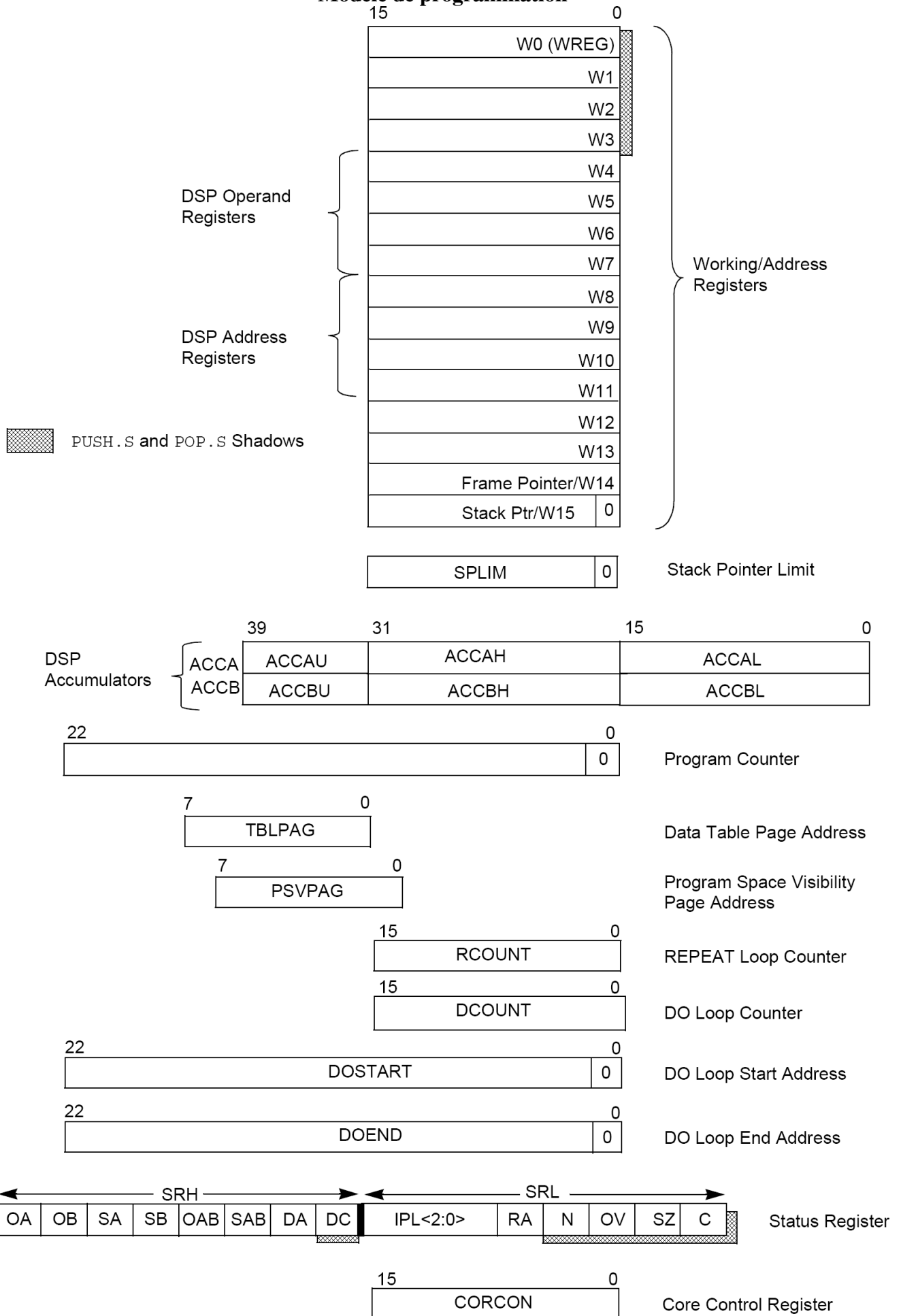


L'architecture du module DSP est classique, adaptée au traitement numérique du signal (filtres numériques, FFT, etc.). Elle comporte :

- un multiplieur câblé 17x17 bits
- deux accumulateurs 40 bits
- un "barrel shifter" capable de réaliser jusqu'à 15 décalages sur les accus A ou B en un seul cycle
- possibilité d'adresser simultanément les mémoires X et Y pendant l'exécution de la multiplication

Présentation des dsPIC

Modèle de programmation



Gestion de la consommation :

La consommation peut être optimisée en cours de fonctionnement :

- mode veille complète (toutes horloges stoppées)
- mode veille avec une horloge basse fréquence (pour conserver l'heure par exemple)
- sélection de l'horloge (quartz, RC, etc.)
- sélection du coefficient de multiplication de la PLL de l'horloge

Le dsPIC comporte aussi un module de surveillance de la tension d'alimentation avec un seuil programmable.

Périphériques intégrés :

Digital I/O

Up to 85 programmable digital I/O pins

Wake-up/Interrupt-on-change on up to 24 pins

High current sink/source (PIC24F & dsPIC30F)

Communication Modules

3-wire SPI: up to 2 modules
 • Framing supports I/O interface to simple codecs

I²C™: up to 2 modules
 • Full Multi-master and Slave mode support
 • 7-bit and 10-bit addressing

UART: up to 2 modules
 • Interrupt-on-address bit detect
 • Wake-up on Start bit from Sleep mode
 • 4-character TX and RX FIFO buffers

Codec interface module
 • Supports I²S and AC97 protocols

CAN/ECAN 2.0B active: up to 2 modules
 • 3 transmit, 2 receive buffers (dsPIC30F)
 • 8 transmit, 32 receive buffers (PIC24H & dsPIC33F)
 • Wake-up on CAN message

Timers/Capture/Compare/PWM

Timer/counters: up to nine 16-bit timers
 • Can pair up to make 32-bit timers
 • 1 timer can run as real-time clock

Input capture: up to 8 channels
 • Capture on rising, falling or both edges
 • 4-deep FIFO on each capture

Output compare: up to 8 channels
 • Single or dual 16-bit compare mode
 • 16-bit glitchless PWM mode

Auxiliary Functions

Parallel Master Slave Port (PMP/PSP):
 • 8-bit Parallel IO, highly configurable
 • Communicates with external data memory, communications peripherals, LCDs
 • Supports 8-bit or 16-bit data
 • Supports 16 address lines

Hardware Real-Time Clock/Calendar (RTCC):
 • Provides clock, calendar and alarm functions

Programmable CRC generator

Analog Subsystems

Analog comparator:
 • Programmable reference

10-bit A/D converter:
 • PIC24F: 500 ksps, 1 module
 • dsPIC30F: 1 Msps, 1 module

12-bit A/D converter:
 • dsPIC30F: 1 Msps or 2 Msps, 1 module

10-/12-bit A/D converter (user selectable):
 • Available on PIC24H and dsPIC33F
 • 10-bit: 1.1 Msps, 4 S&H
 • 12-bit 500 ksps, 1 S&H
 • Some devices have 2 modules

Common A/D features:
 Buffered output or DMA
 16-deep result buffer
 • dsPIC30F & PIC24F: up to 16 channels auto scanning
 • PIC24H & dsPIC33F: up to 32 channels auto scanning

Motor Control Peripherals

Motor Control PWM: up to 8 outputs
 • 4 duty cycle generators
 • Independent or complementary mode
 • Programmable dead time settings
 • Edge or center-aligned
 • Manual output override control
 • Up to 2 fault inputs
 • A/D samples triggered by PWM module

Quadrature encoder interface module
 • Phase A, Phase B and index pulse input

Switch Mode Power Peripherals

10-bit A/D 2 Msps, Up to 4 sample and holds

PS PWM, 1 nS duty cycle resolution

Analog comparators
 • Programmable reference

Familles de dsPIC :

Usage divers :

Les interfaces "codec" intégrées les rendent particulièrement adaptées pour le traitement de la parole (reconnaissance) et d'autres applications audio (MP3 par exemple)

Product	Pins	Flash Memory Kbytes	RAM Bytes	EEPROM Bytes	Timer 16-bit	Input Capture	Output Compare/Standard PWM	Codec Interface	A/D 12-bit 200 ksps	UART	SPI	I ² C ^m	CAN	Package Code
dsPIC30F3014	40/44	24	2048	1024	3	2	2	—	13 ch, 1 S/H	2	1	1	—	P, PT, ML
dsPIC30F4013	40/44	48	2048	1024	5	4	4	AC97, I ² S	13 ch, 1 S/H	2	1	1	1	P, PT, ML
dsPIC30F5011	64	66	4096	1024	5	8	8	AC97, I ² S	16 ch, 1 S/H	2	2	1	2	PT
dsPIC30F6011A	64	132	6144	2048	5	8	8	—	16 ch, 1 S/H	2	2	1	2	PT
dsPIC30F6012A	64	144	8192	4096	5	8	8	AC97, I ² S	16 ch, 1 S/H	2	2	1	2	PT
dsPIC30F5013	80	66	4096	1024	5	8	8	AC97, I ² S	16 ch, 1 S/H	2	2	1	2	PT
dsPIC30F6013A	80	132	6144	2048	5	8	8	—	16 ch, 1 S/H	2	2	1	2	PT
dsPIC30F6014A	80	144	8192	4096	5	8	8	AC97, I ² S	16 ch, 1 S/H	2	2	1	2	PT

Orientation "capteurs" :

Les boîtiers sont particulièrement petits

Product	Pins	Flash Memory Kbytes	RAM Bytes	EEPROM Bytes	Timer 16-bit	Input Capture	Output Compare/Standard PWM	A/D 12-bit 200 ksps	UART	SPI	I ² C ^m	I/O Pins (Max.)†	Package Code
dsPIC30F2011	18	12	1024	—	3	2	2	8 ch, 1 S/H	1	1	1	12	P, SO, 28-pin ML
dsPIC30F3012	18/44	24	2048	1024	3	2	2	8 ch, 1 S/H	1	1	1	12	P, SO, 44-pin ML
dsPIC30F2012	28	12	1024	—	3	2	2	10 ch, 1 S/H	1	1	1	20	SP, SO, 28-pin ML
dsPIC30F3013	28/44	24	2048	1024	3	2	2	10 ch, 1 S/H	2	1	1	20	SP, SO, 44-pin ML

Commande de moteurs :

Ils comportent un module "moteur" et une interface pour codeur incrémental pour le contrôle de moteurs triphasés "brushless".

Product	Pins	Flash Memory Kbytes	RAM Bytes	EEPROM Bytes	Timer 16-bit	Input Capture	Output Compare/Standard PWM	Motor Control PWM	Quadrature Encoder	A/D 10-bit 1 Msps	UART	SPI	I ² C ^m	CAN	Package Code
dsPIC30F2010	28	12	512	1024	3	4	2	6 ch	Yes	6 ch, 4 S/H	1	1	1	—	SP, SO, MM
dsPIC30F3010	28/44	24	1024	1024	5	4	2	6 ch	Yes	6 ch, 4 S/H	1	1	1	—	SP, SO, 44-pin ML
dsPIC30F4012	28/44	48	2048	1024	5	4	2	6 ch	Yes	6 ch, 4 S/H	1	1	1	1	SP, SO, 44-pin ML
dsPIC30F3011	40/44	24	1024	1024	5	4	4	6 ch	Yes	9 ch, 4 S/H	2	1	1	—	P, PT, ML
dsPIC30F4011	40/44	48	2048	1024	5	4	4	6 ch	Yes	9 ch, 4 S/H	2	1	1	1	P, PT, ML
dsPIC30F5015	64	66	2048	1024	5	4	4	8 ch	Yes	16 ch, 4 S/H	1	2	1	1	PT
dsPIC30F6015	64	144	8192	4096	5	8	8	8 ch	Yes	16 ch, 4 S/H	2	2	1	1	PT
dsPIC30F5016	80	66	2048	1024	5	4	4	8 ch	Yes	16 ch, 4 S/H	1	2	1	1	PT
dsPIC30F6010A	80	144	8192	4096	5	8	8	8 ch	Yes	16 ch, 4 S/H	2	2	1	2	PT

Contrôle d'alimentation à découpage :

Ils sont caractérisés par un module PWM à haute résolution (jusqu'à 1nS), un CAN 10 bits rapide et des comparateurs analogiques.

Product	Pins	Flash Memory Kbytes	RAM (Bytes)	A/D 10-bit, 2 Msps Ch.	Analog Comparators	High-Speed PWM	Timers	Input Capture	Output Compare/Standard PWM	UART	SPI	I ² C ^m	Package Code
dsPIC30F1010	28	6	256	6 ch, 2 S&H	2	2 x 2	2	—	1	1	1	1	SO, SP, ML
dsPIC30F2020	28	12	512	8 ch, 4 S&H	4	4 x 2	3	1	2	1	1	1	SO, SP, ML
dsPIC30F2023	44	12	512	12 ch, 4 S&H	4	4 x 2	3	1	2	1	1	1	PT, ML