

PREPARATION DU TP2

1/ Simulation PSPICE : Etude Harmonique et Point de Polarisation

Pour rédiger la description du fichier sous PSPICE, on va utiliser du fichier « .cir » fournit dans le sujet :

```
Ampli a tension Jfet
*fichier _JFET2016?.cir

.lib eval.lib ; contient J2N3819

*circuit :
VALIM 7 0 15 ; alimentation

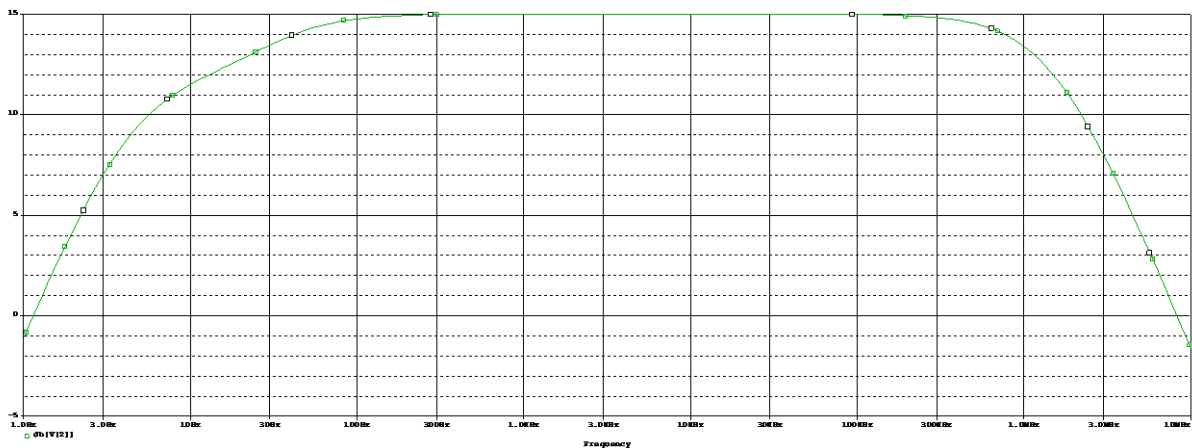
RD 7 6 1.5k ; resistance de drain
J1 6 4 5 J2N3819 ; transistor jfet D G S
RS 5 0 68 ; resistance de source
CS 5 0 100u ; condensateur de decouplage
RG 4 0 1Meg ; fixe 0 V en grille
C 1 4 10u ; codensateur de liaison
CL 6 2 10u ; condensateur de liaison
RL 2 0 2.2k ; resistance de charge
Cosc 2 0 120p ; cable + oscillo
Ve 1 0 sin(0 1 1k 0 0 0) AC 1 ; source

.OP ; calcule la polar
.AC dec 20 1 10Meg
.probe
.end
```

Grâce à la simulation un fichier « .out » est généré, il nous permet d'évaluer les valeurs de I_D , g_m , V_{DS} et V_{GS} . Ces valeurs nous permettent d'évaluer le point de polarisation du transistor JFET.

Dans notre cas, nous travaillons avec un JFET canal N, il est donc polarisé quand $V_{GS} < 0$ et quand $V_{DS} > 0$.

La simulation « .AC » obtenue est la suivante :



La réponse harmonique de ce circuit nous permet d'évaluer sa bande passante. Grâce aux curseurs on peut évaluer les deux fréquences de coupures :

Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	13.098	1.5041M	-1.5041M
CURSOR 1,2	db(V(2))	11.997	11.958	39.231m

Nos deux fréquences de coupure valent donc :

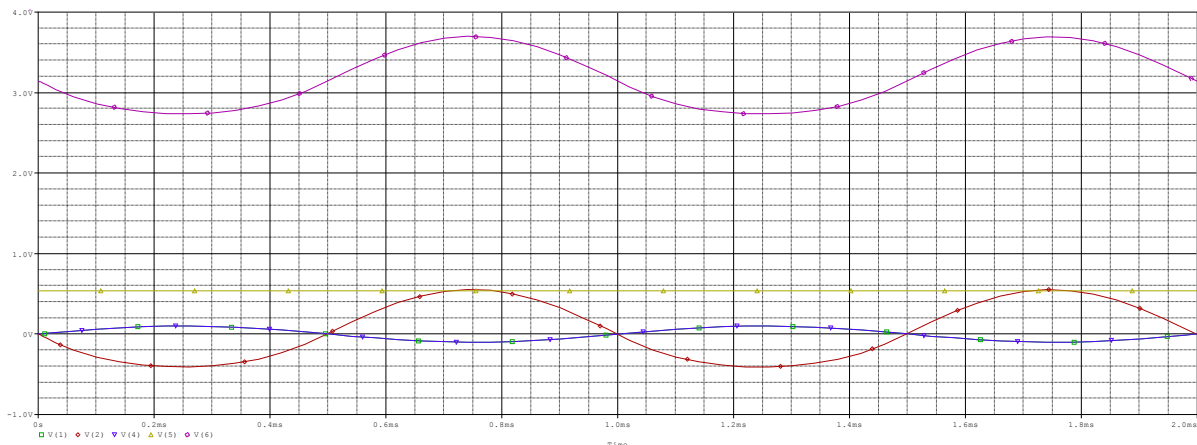
$$f_{CB} \approx 13\text{Hz} \text{ et } f_{CH} \approx 1,5\text{MHz}$$

Les valeurs de la simulation sont en accord avec les valeurs précisées dans le sujet.

2/ Simulation PSPICE : Etude Petit Signal

On va maintenant travailler avec une amplitude de 100mV pour V_e et toujours à une fréquence de 1kHz car cette fréquence se situe bien dans la bande passante que nous avons évaluée précédemment.

La simulation « .TRAN » nous donne l'oscillogramme suivant :



- V(1) est la tension d'entrée V_e , on peut voir que c'est bien une tension sinusoïdale de fréquence 1kHz.
- V(2) est la tension de sortie du montage, on peut observer que celle-ci est bien amplifiée et en opposition de phase par rapport à V_e .
- V(4) est la tension aux bornes de la résistance R_G , on peut observer qu'elle est égale à V_e car dans l'étude petit signal on peut considérer que le condensateur C est négligeable face à R_G et se comporte donc comme un fil.
- V(5) est la tension aux bornes de R_S et de C_S , celle-ci n'est pas nulle car la capacité C_S doit être trop élevée face à R_S pour qu'elle soit négligeable et qu'elle agisse comme un fil. On peut vérifier sa valeur grâce au calcul suivant :

$$V_5 = 15 - V_{RD} - V_{DS} = 15 - R_D \times I_D - V_{DS} = 15V - (1,5k\Omega \times 7,9mA) - 2,61V = 0,54V$$

- $V(6)$ est la tension en sortie du drain. On peut voir que C_L est négligeable dans cette situation, on peut donc calculer $V(6)$:

$$V_6 = V_S + V_{RD} + V_e = V_e + 3,15V$$

On peut voir grâce à la simulation que la valeur trouvée est vérifiée par la simulation.

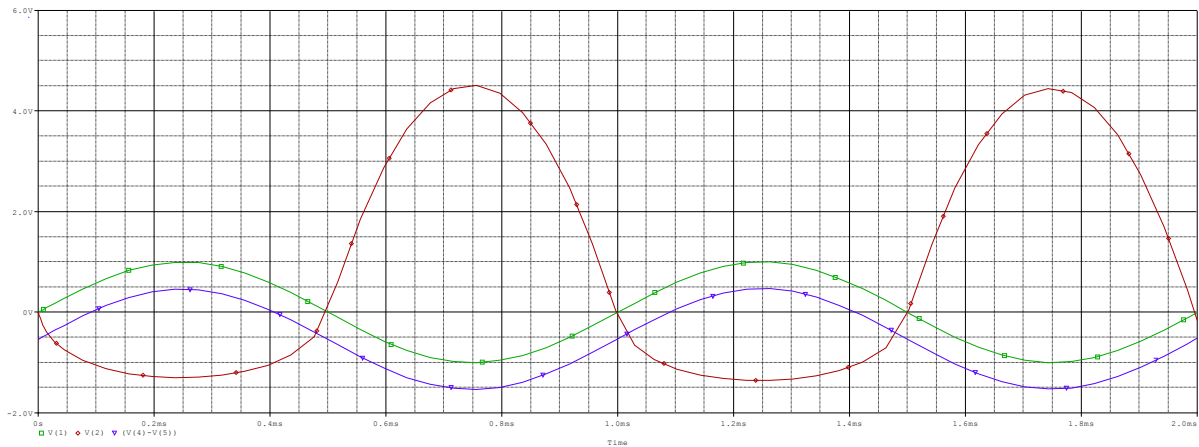
On calcule le gain V_s/V_e du montage :

$$\frac{V_S}{V_e} = \frac{548,6m}{-99,4m} = -5,52 = 14,84dB$$

3/ Simulation PSPICE : Etude de la Polarisation

On va maintenant simuler le montage avec une sinusoïde d'amplitude 1V en entrée.

On obtient la simulation suivante :



On peut voir sur cette simulation que lorsque $V_{GS} > 0$, le transistor n'est plus polarisé et par conséquent le gain du montage s'écroule et c'est pour cela que le signal en sortie V_s n'est pas amplifié par le même gain lorsque $V_{GS} >$ et quand $V_{GS} < 0$.