

UE Electronique

Travaux Dirigés n°2

(R0)

Partie Numérique

(1h15)

Exercice 1 : Bascule flip flop

Question 1

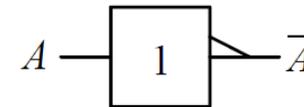
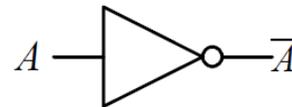
On suppose que les temps de commutation des inverseurs et interrupteurs constituant la bascule (t_p temps de propagation, t_r temps de montée et t_f temps de descente) sont négligeables devant la période du signal CK . Compléter les chronogrammes de la figure 2 et établir la table de transition de la bascule.

Notation : $X^* = \bar{X}$

A savoir : Polycopié 1

Fonction inverseur logique (NON)

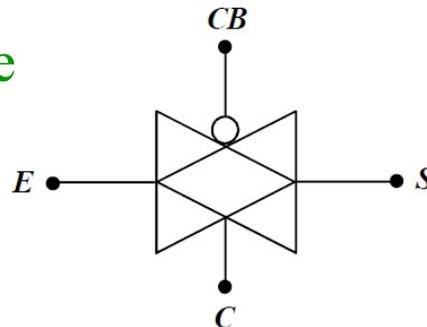
p:20



A	\bar{A}
0	1
1	0

Fonction interrupteur (porte de transfert CMOS)

p:87

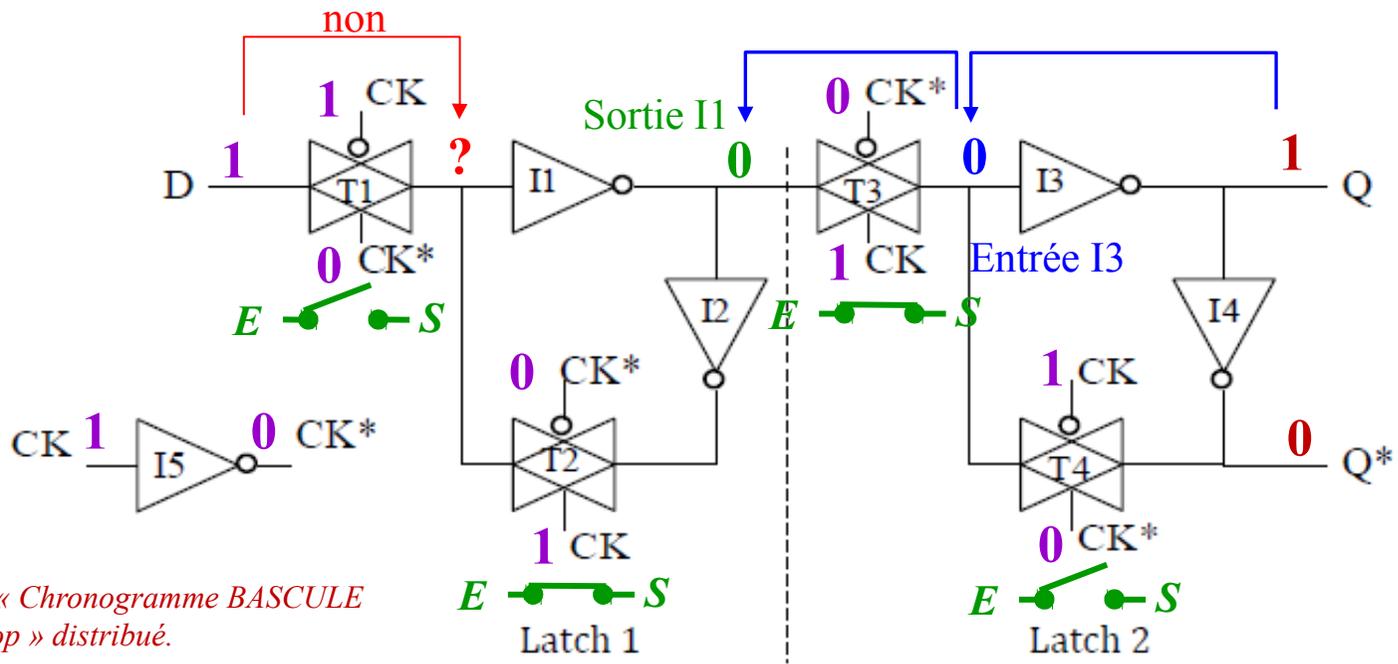


Si $C=0$ et $CB=1$, l'interrupteur est ouvert,

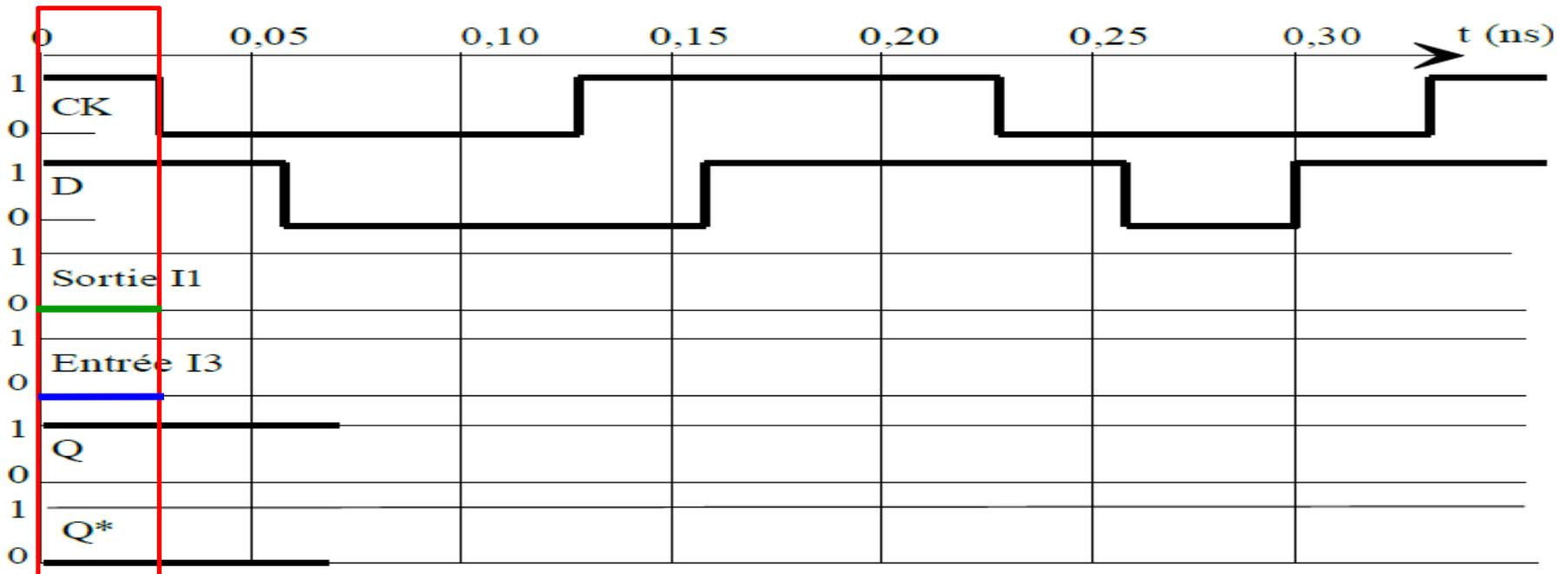


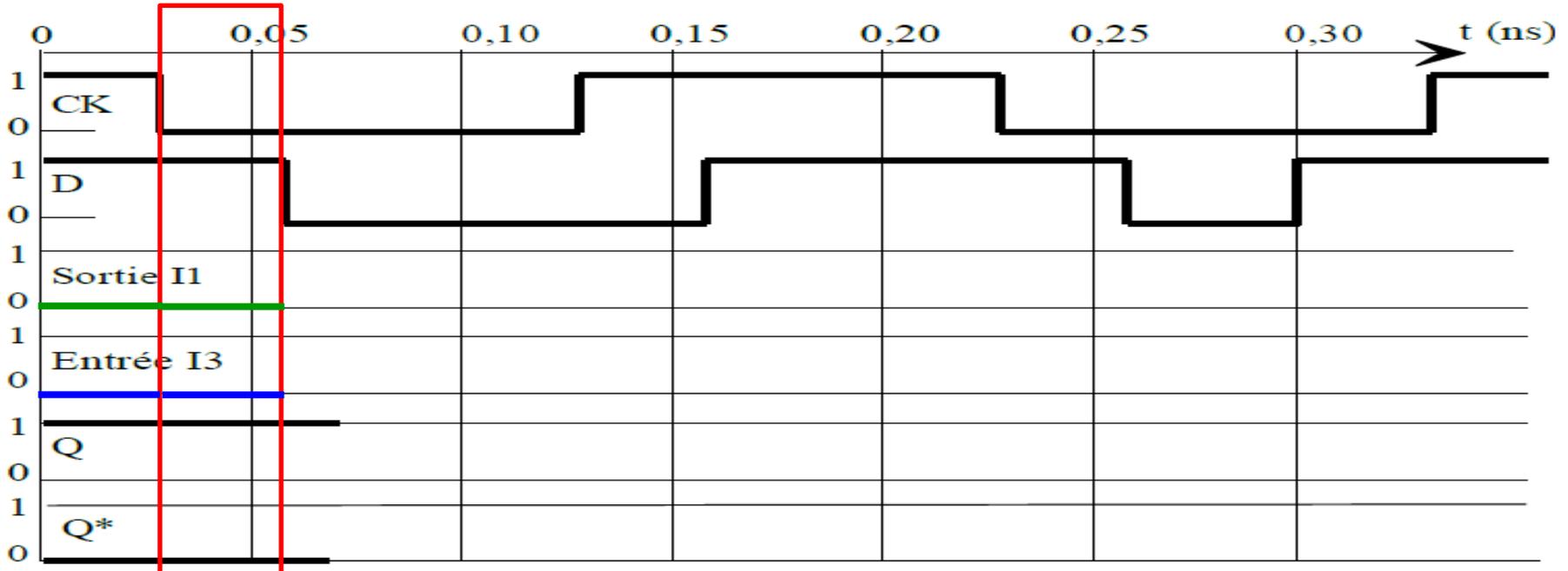
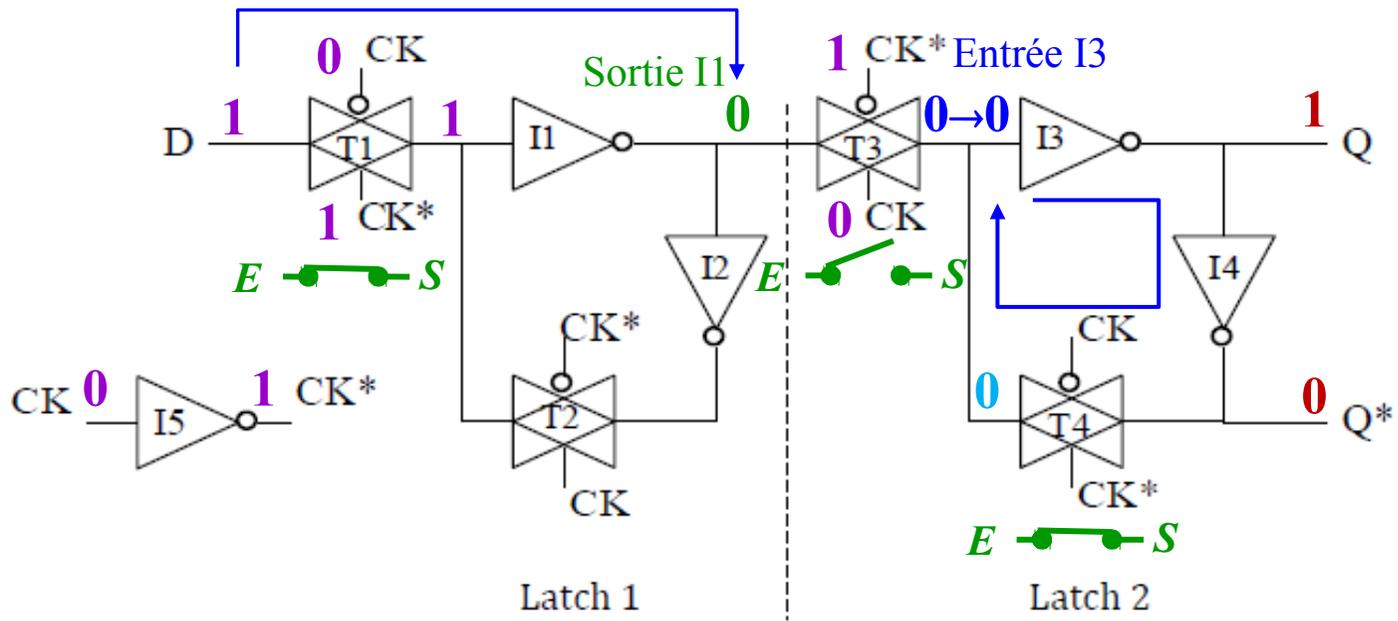
Si $C=1$ et $CB=0$, l'interrupteur est fermé.

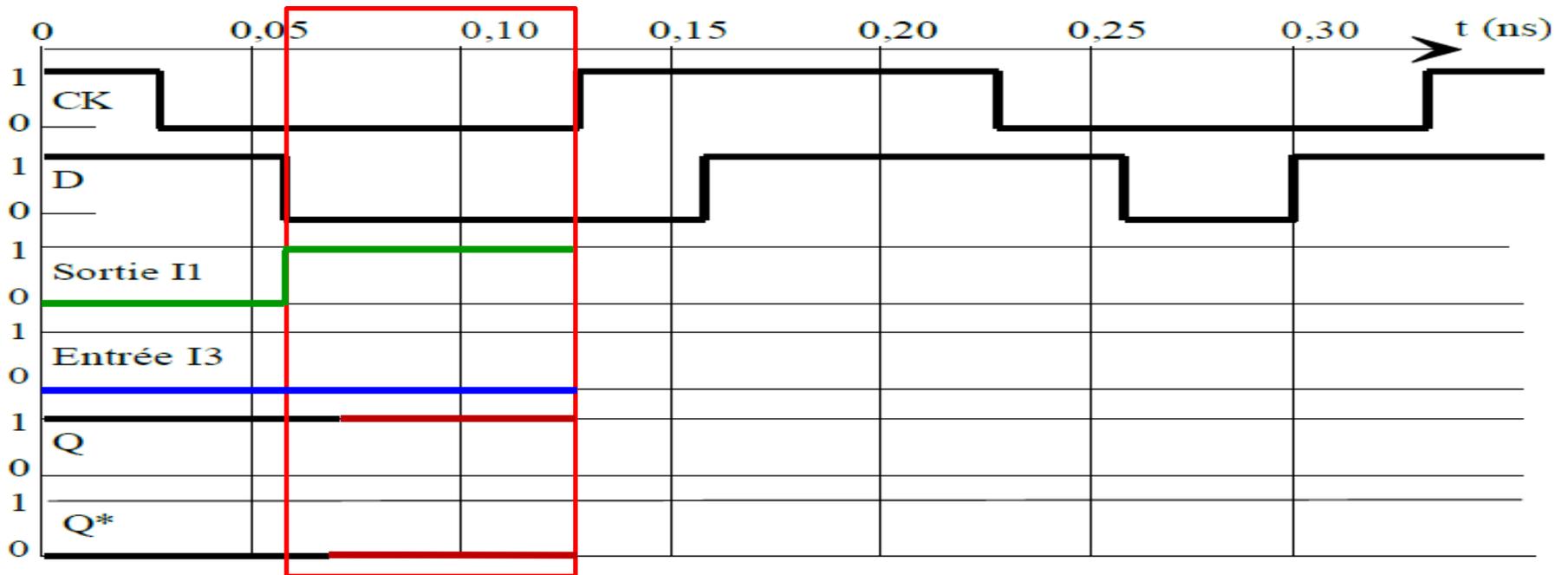
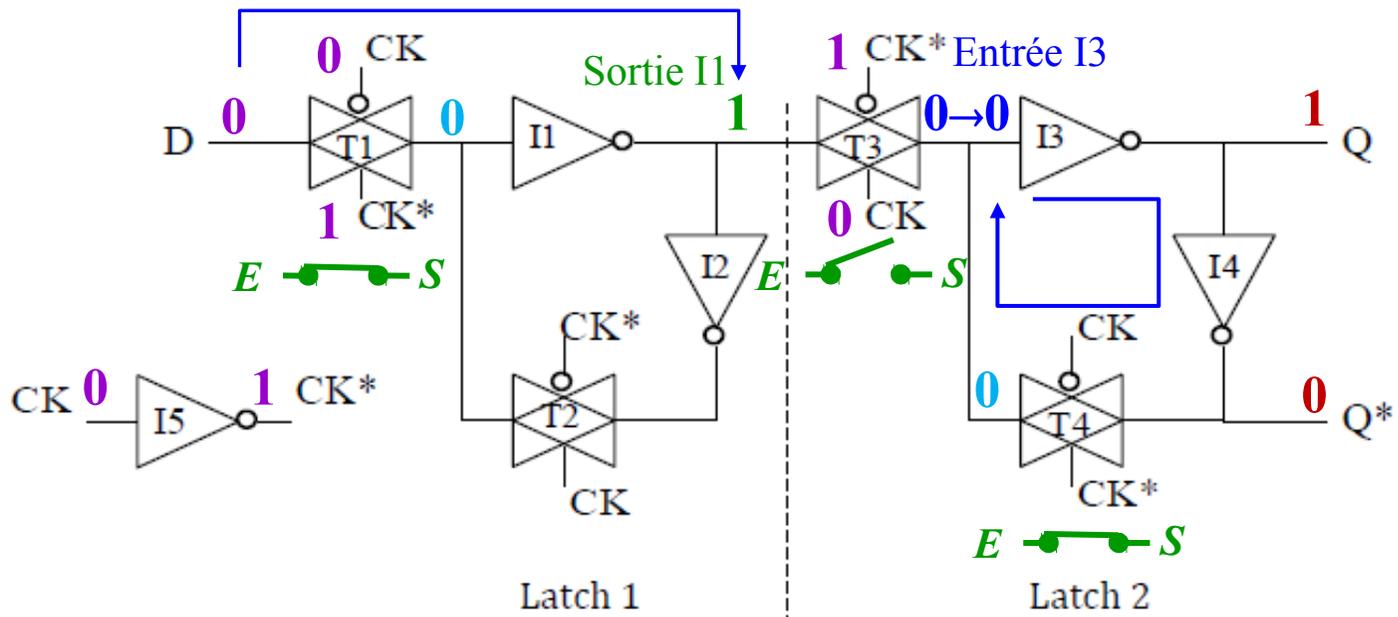


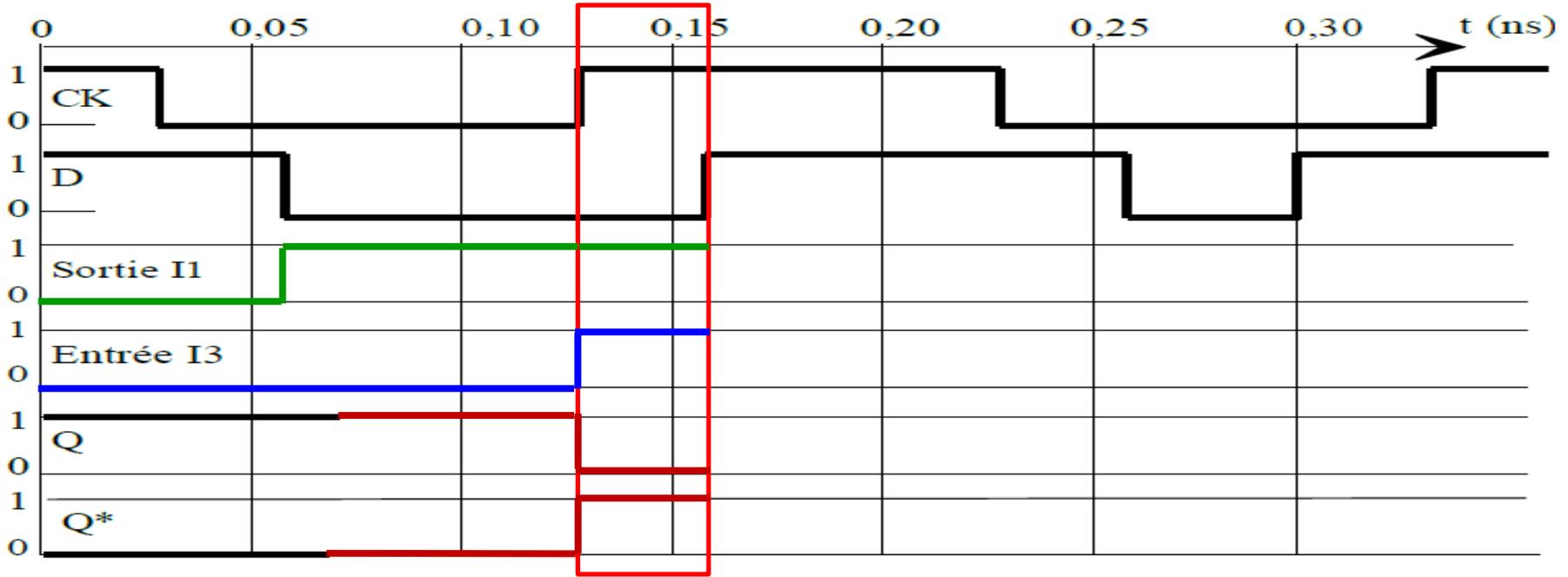
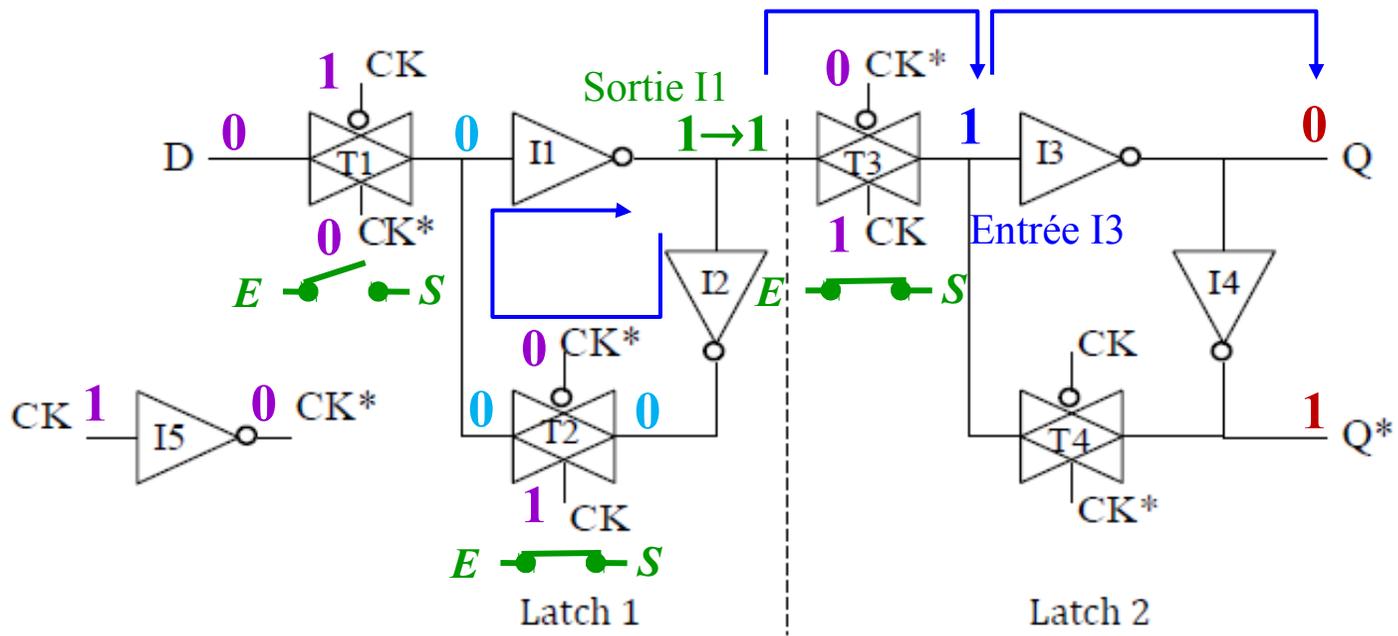


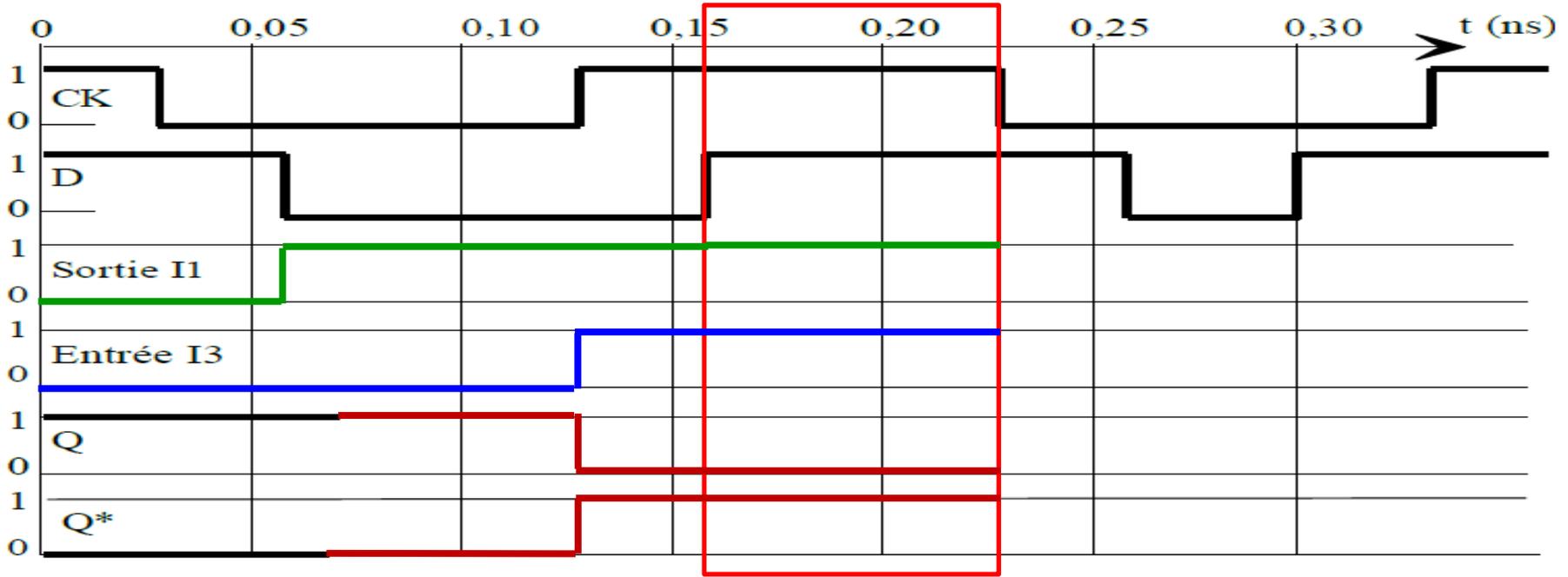
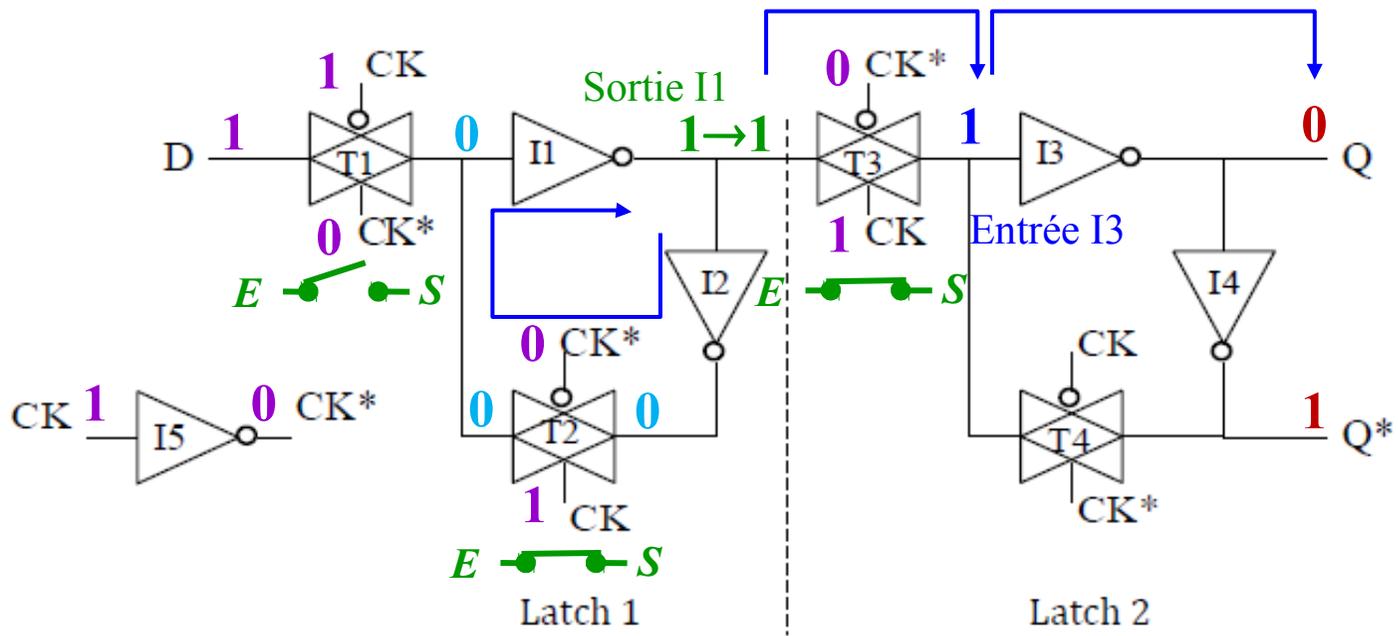
Utiliser « Chronogramme BASCULE D flip flop » distribué.

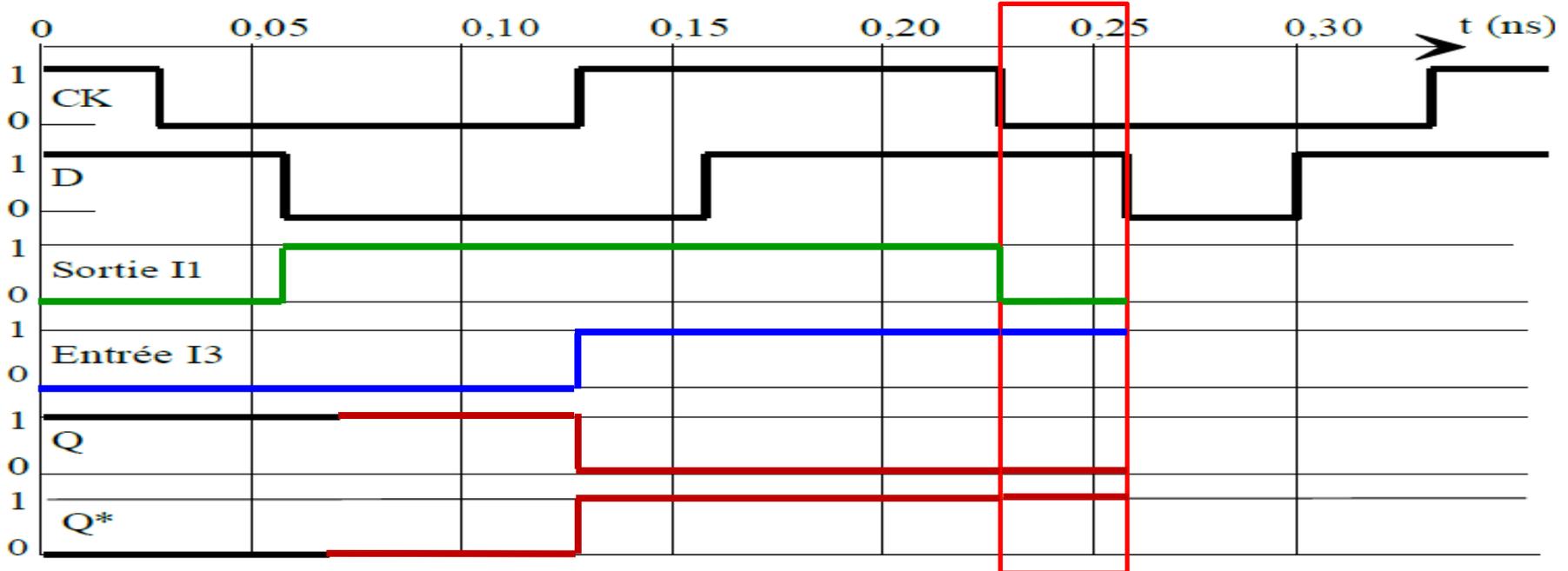
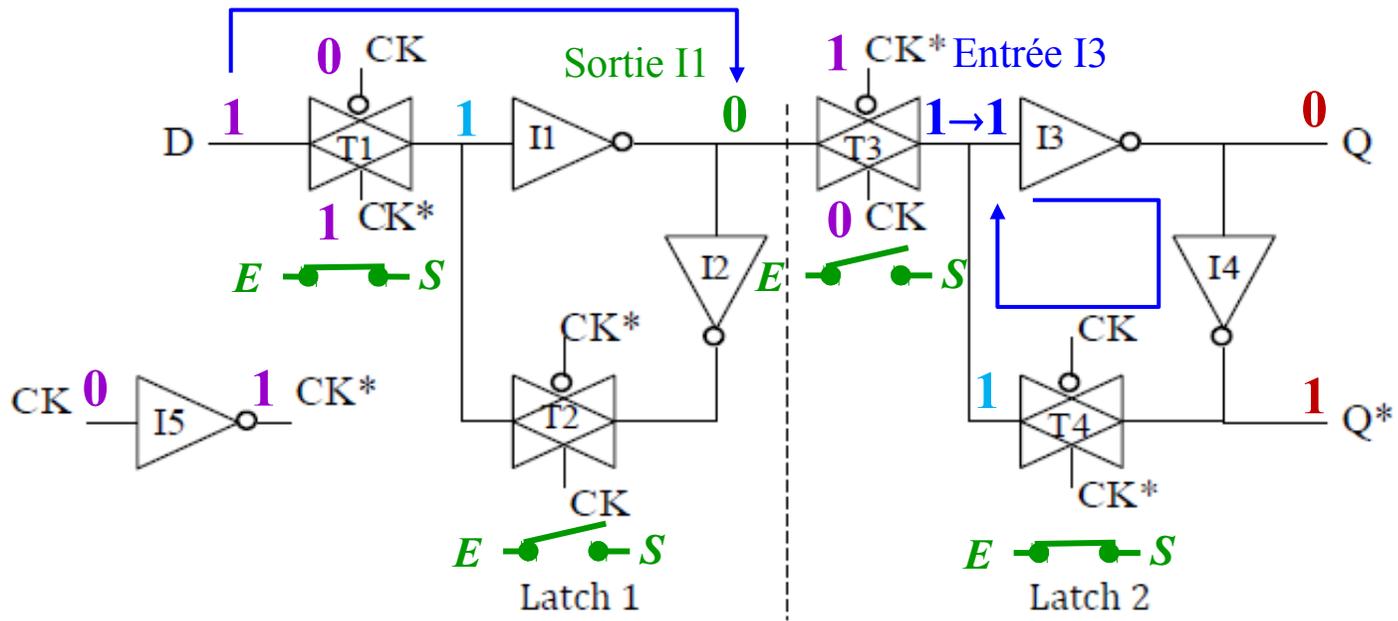


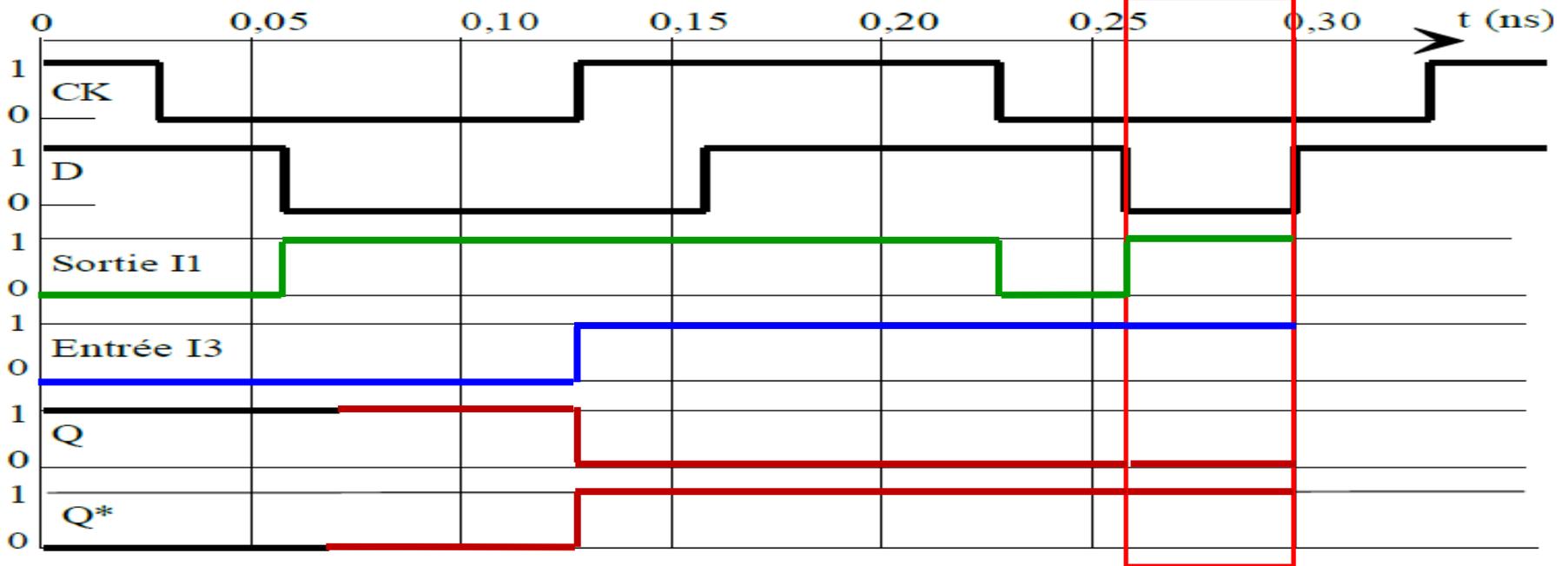
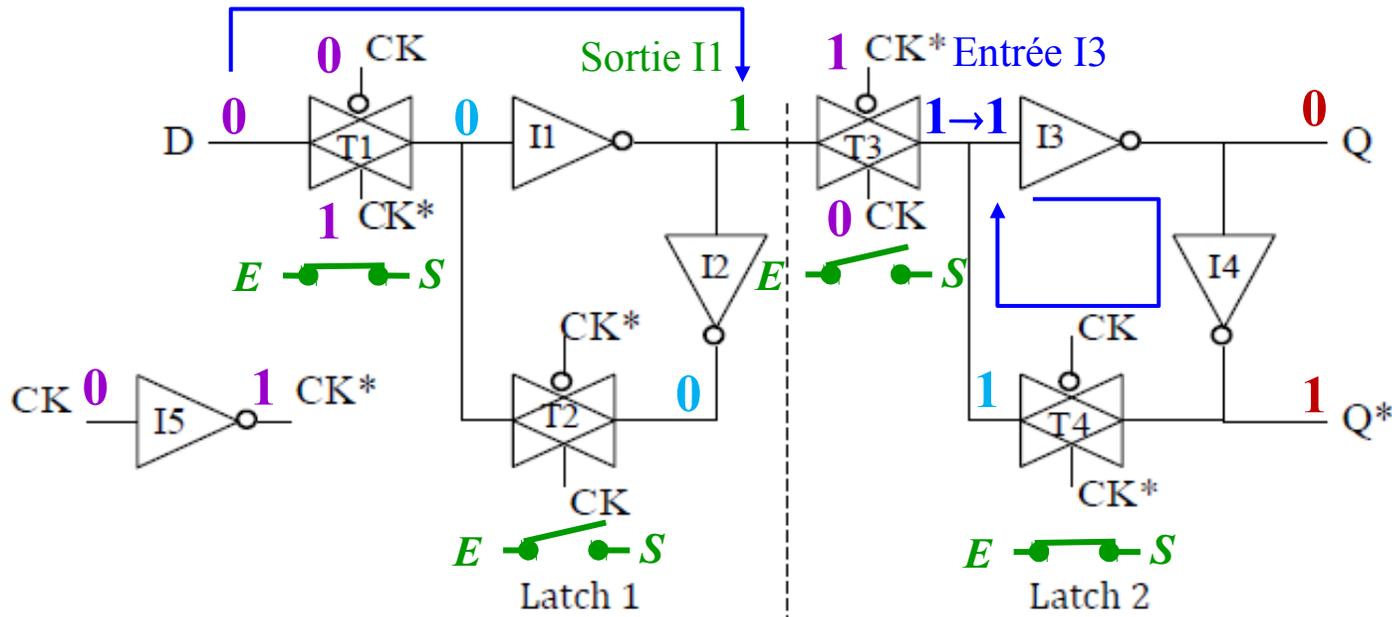


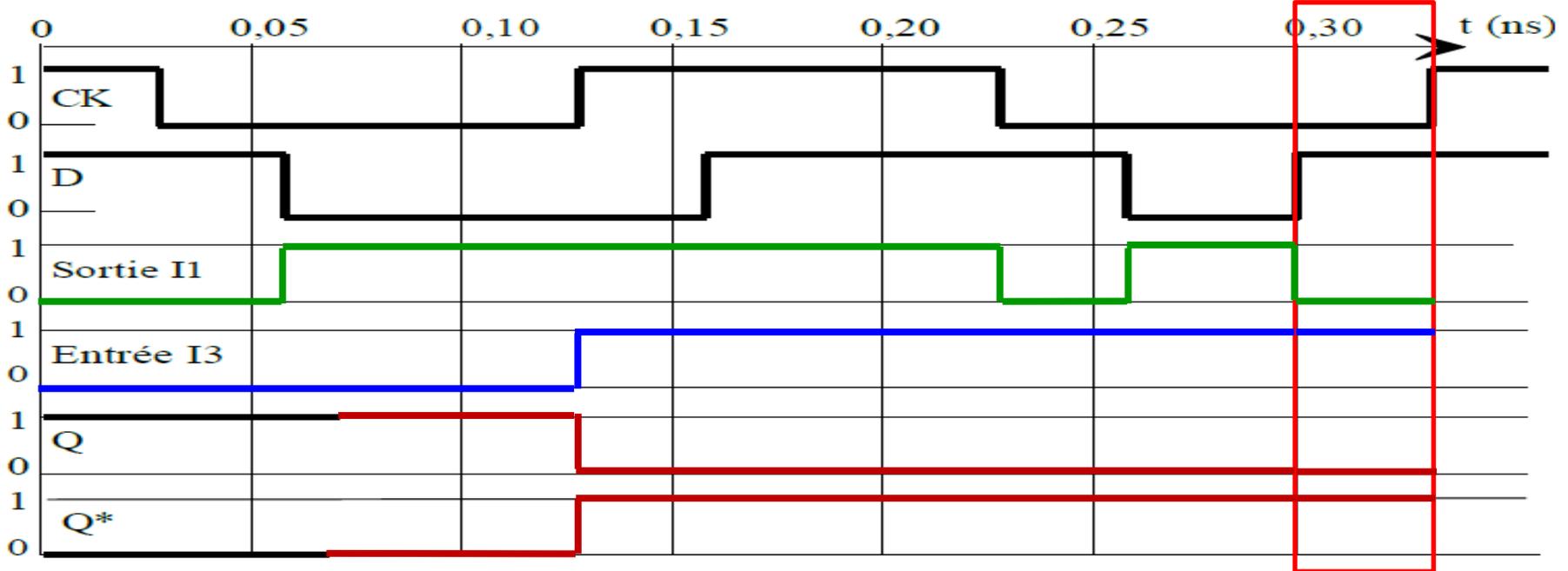
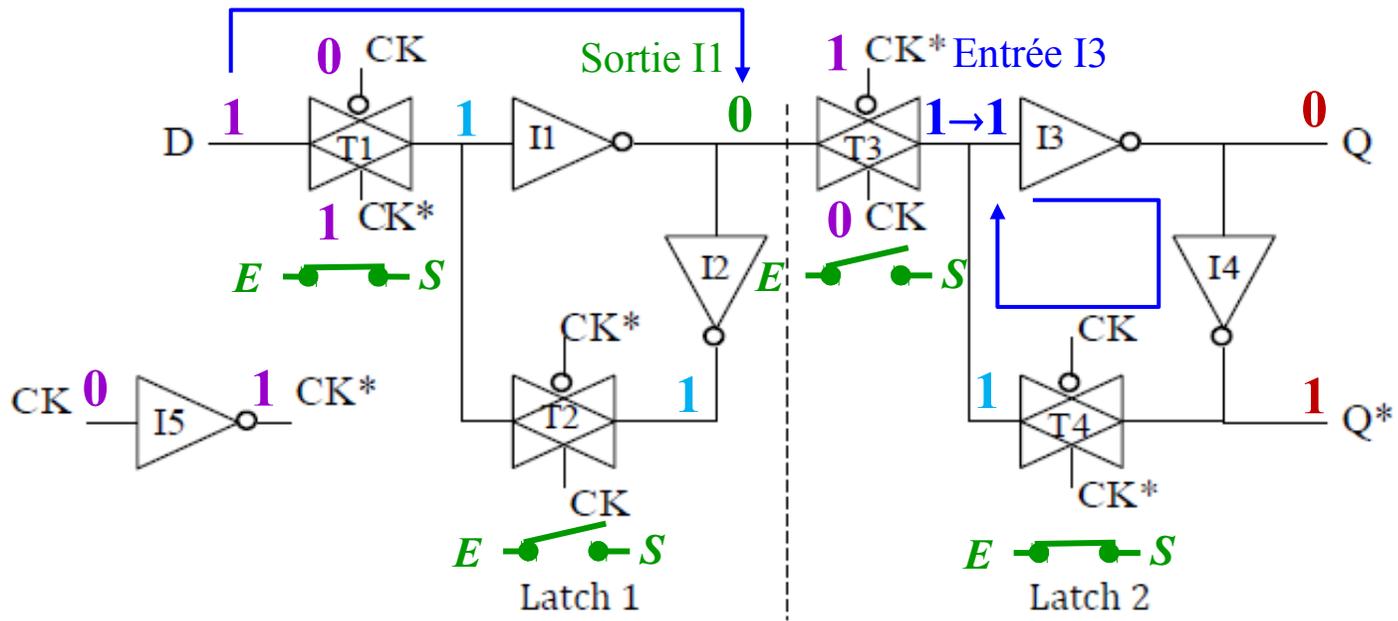


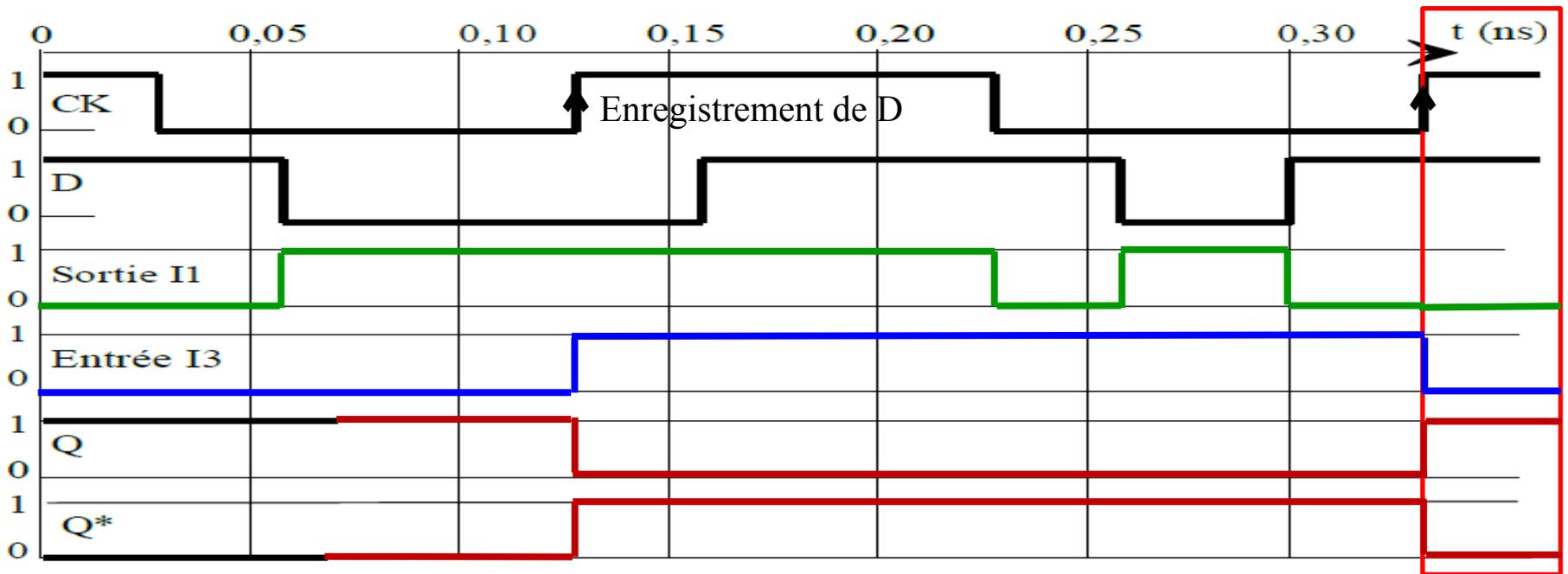
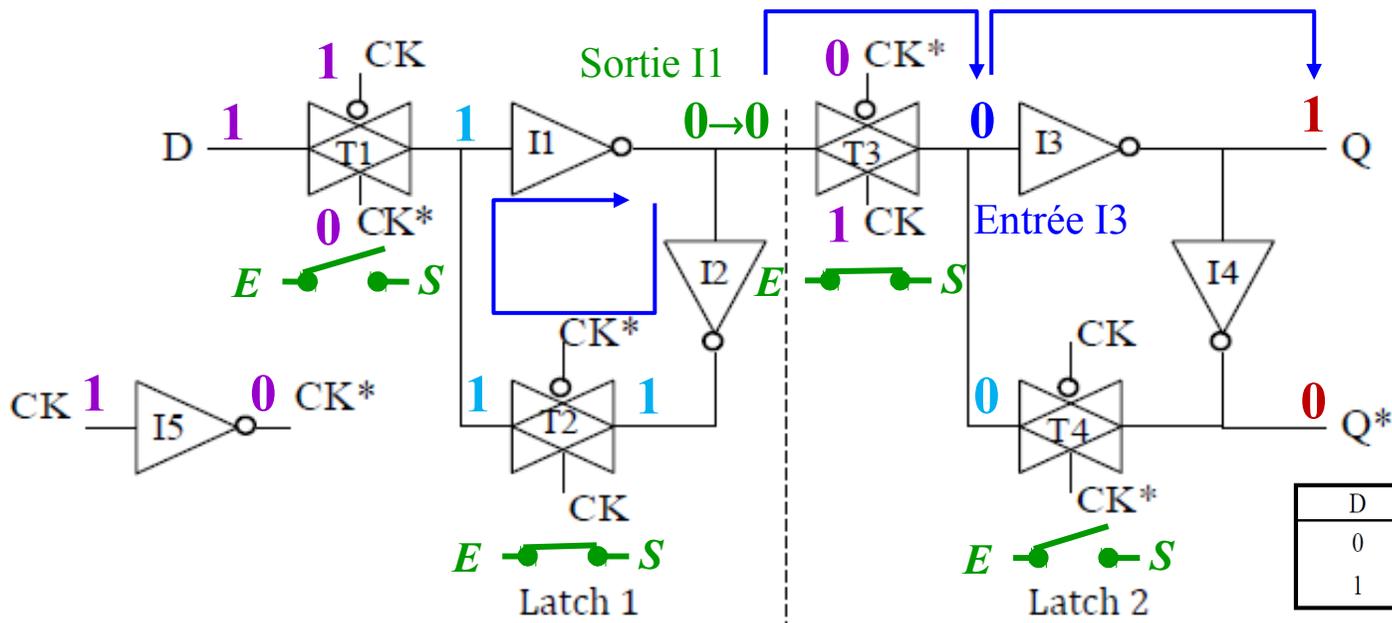










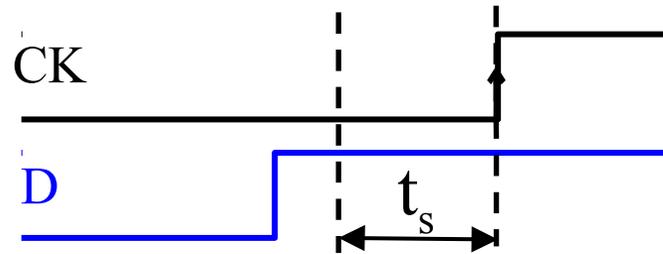


Question 2

Déterminer le temps de prépositionnement t_s (t_{setup}) de la bascule *flip-flop* : durée minimale de positionnement de la valeur de D avant transition montante de CK.

On néglige le temps de changement d'état des interrupteurs: ouvert \leftrightarrow fermé

La bascule flip flop permet de mémoriser l'état de D sur la sortie Q au front montant de CK. Il faut cependant un temps minimal t_s d'état maintenu de D avant que celui-ci puisse être reproduit sur la sortie Q.



Que vaut ce temps en fonction des temps t_p de propagation des portes logiques de la bascule?

Le temps de prépositionnement correspond au temps nécessaire à la boucle de la latch L1 pour se mettre dans un état prêt au verrouillage par T2. C'est donc la somme des t_p de T1, I1, I2 (*passer slide 10-11 en alternance hors mode diaporama*).

Question 3

Déterminer le temps de maintien t_H (t_{hold}) de la bascule *flip-flop* : durée minimale de maintien de la valeur de D, après transition montante de CK.

On néglige le temps de changement d'état des interrupteurs: ouvert \leftrightarrow fermé

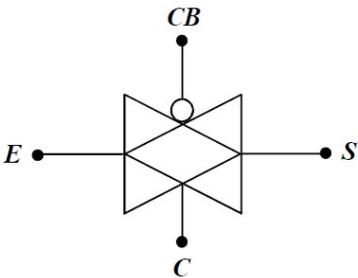
Après le front montant de CK, la valeur de D à mémoriser doit être maintenue tant que l'interrupteur T1 n'est pas ouvert ($CK = 1, CK^* = 0$). Le temps de maintien est donc égal au retard de CK^* par rapport à CK, c'est-à-dire au temps de propagation de l'inverseur I5.

Question 4

Que vaut le temps de propagation de cette bascule (propagation de CK vers Q) ?

On néglige le temps de changement d'état des interrupteurs: ouvert \leftrightarrow fermé

L'interrupteur CMOS ou porte de transfert *Polycopié 1 §3.5.3.1*



D'un point de vue logique la porte de transfert présente deux modes de fonctionnement normaux (porte verrouillée) :

Si $C=0$ et $CB=1$, l'interrupteur est ouvert.

Si $C=1$ et $CB=0$, l'interrupteur est fermé.

Cependant dans le cas où $CB \neq C^*$ (porte non verrouillée), l'un des transistors est passant et l'autre bloqué, la porte de transfert est globalement passante, mais son fonctionnement est dégradé d'un point de vue électrique

\Rightarrow Proposer un encadrement temporel

L'enregistrement de la donnée D (transfert du maître vers l'esclave) se fait à partir du front montant de CK.

- Cas porte de transfert non verrouillée

La porte est passante mais sortie électriquement dégradée. Si cette sortie est effective (exploitable), le temps de propagation de CK vers Q correspond à la seule "traversée" de T3 et I3. (*passer slide 11-12 en alternance hors mode diaporama*).

$$\Rightarrow T3+I3 \leq tp_{CK \rightarrow Q}$$

Si la sortie est non effective, la porte devra être verrouillée :

- Cas porte de transfert verrouillée (c'est-à-dire CK* effectif)

Le temps de propagation de CK vers Q correspond à la "traversée" de T3 et I3 auquel on ajoute le temps pour que le verrouillage soit effectif, c'est-à-dire I5.

$$\Rightarrow tp_{CK \rightarrow Q} \leq I5+T3+I3$$

Conclusion: $T3+I3 \leq tp_{CK \rightarrow Q} \leq I5+T3+I3$

Pour info:

Le temps de propagation de CK vers Q* tient de plus compte de I4 :

$$T3+I3+I4 \leq tp_{CK \rightarrow Q^*} \leq I5+T3+I3+I4$$

Question 5

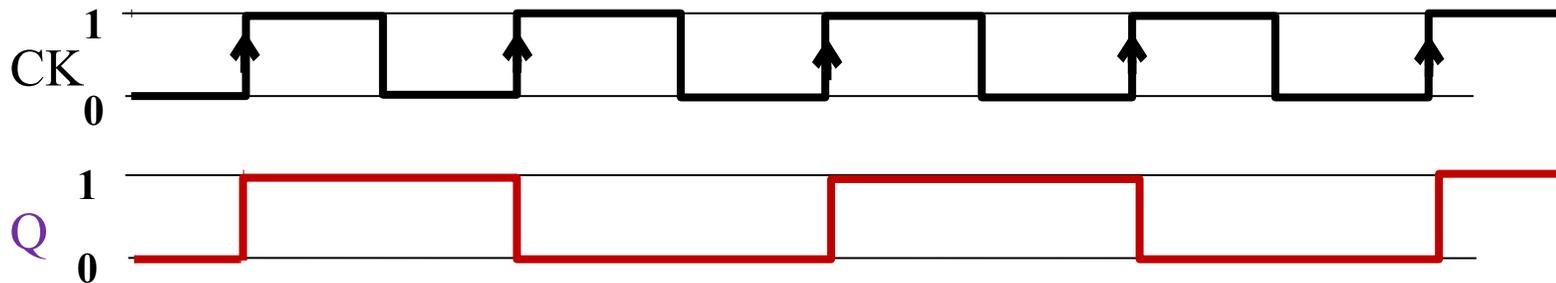
On boucle la sortie Q^* sur l'entrée D. Quelle fonction a-t-on réalisé ?

Pour aider, rappel :

Table de transition flip flop

D	CK	Q^+	Q^{*+}
0		0	1
1		1	0

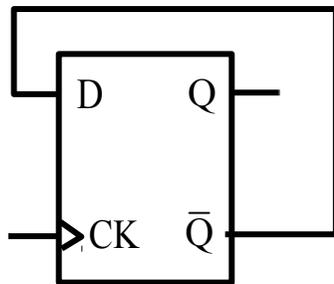
Compléter le chronogramme suivant en tenant compte de : $Q^* (= \bar{Q}) = D$



La sortie change à chaque front d'horloge => division de fréquence par 2 (fréq. de CK)

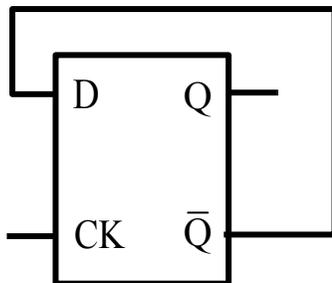
Aurait-on pu utiliser une bascule *latch* à la place de la bascule *flip-flop* ? Pourquoi ?

La différence entre la flip-flop et la latch est l'absence de chemin continu entre l'entrée et la sortie dans le cas de la flip-flop. La cellule "maître" peut changer d'état sans que la cellule "esclave" ne le voie. **Ceci est de première importance quand on veut connecter entre eux les points mémoires élémentaires.** Dans le cas du montage en question, l'utilisation d'une latch conduirait à un signal Q qui, lorsque CK = 1 passerait alternativement de 0 à 1 et de 1 à 0 au rythme du temps de propagation de la bascule, et non au rythme de l'horloge.



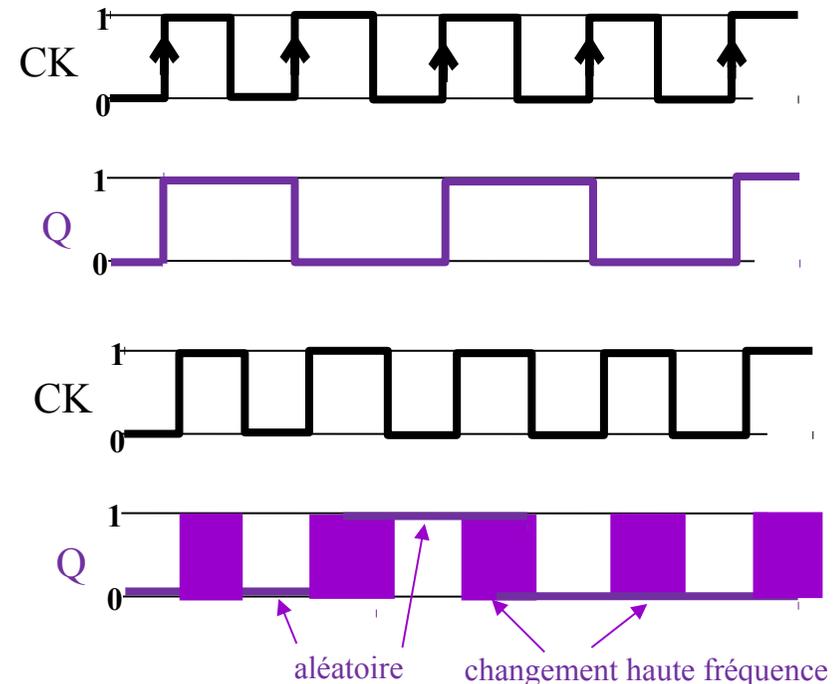
Bascule D flip-flop

D	CK	Q	Q*
0	↑	0	1
1	↑	1	0



Bascule D latch

D	CK	Q
X	0	Inchangé
0	1	0
1	1	1



- Lorsque CK=1, si Q=0 ⇒ Q*=1=D → Q=1 (latch) ⇒ Q*=0=D → Q=0 (latch) ⇒ Q*=1=D → Q=1 (latch) → Q*=0=D ... etc... ceci à « haute » fréquence !!
- Lorsque CK=0, Q ayant changé pour CK=1 à « haute » fréquence (non synchronisé), devient aléatoire (Q=0 ou 1).