

LES MICROCONTROLEURS PIC

Les microcontrôleurs PIC de MICROCHIP se distinguent des microcontrôleurs classiques (8051 ou 68HC11) par les deux aspects suivants .

Ce sont des microprocesseurs **de structure Harvard** :

C'est à dire que les mots code et les données sont stockés dans deux mémoires différentes. Les mots code sont longs 12 à 14 bits suivants les modèles et écrits dans une ROM interne non accessible de l'extérieur. Il en résulte que toutes les instructions peuvent être codées sur un seul mot d'où une exécution rapide, mais en contre partie aucun fonctionnement avec ROM extérieure n'est possible. L'utilisation d'un simulateur de ROM lors de la mise au point du programme n'est pas possible. Il n'existe pas de boîtiers ROMLESS (sans ROM interne) mais seulement des circuits avec ROM interne (Programmables par masque à la fabrication) PROM interne effaçable par UV (UVROM), si une fenêtre est prévue pour l'irradiation de la puce, ou non (OTP) si cette fenêtre n'existe pas. Le circuit 1684 qui nous occupera plus particulièrement a été d'abord commercialisé avec une EEPROM (PIC16C84) puis ensuite avec une PROM FLASH (PIC 16F84) qui accepte un nombre de cycles d'effacement, programmation bien plus élevé.

Ce sont des **microprocesseurs RISC** (Reduce Instructions Set Computers)

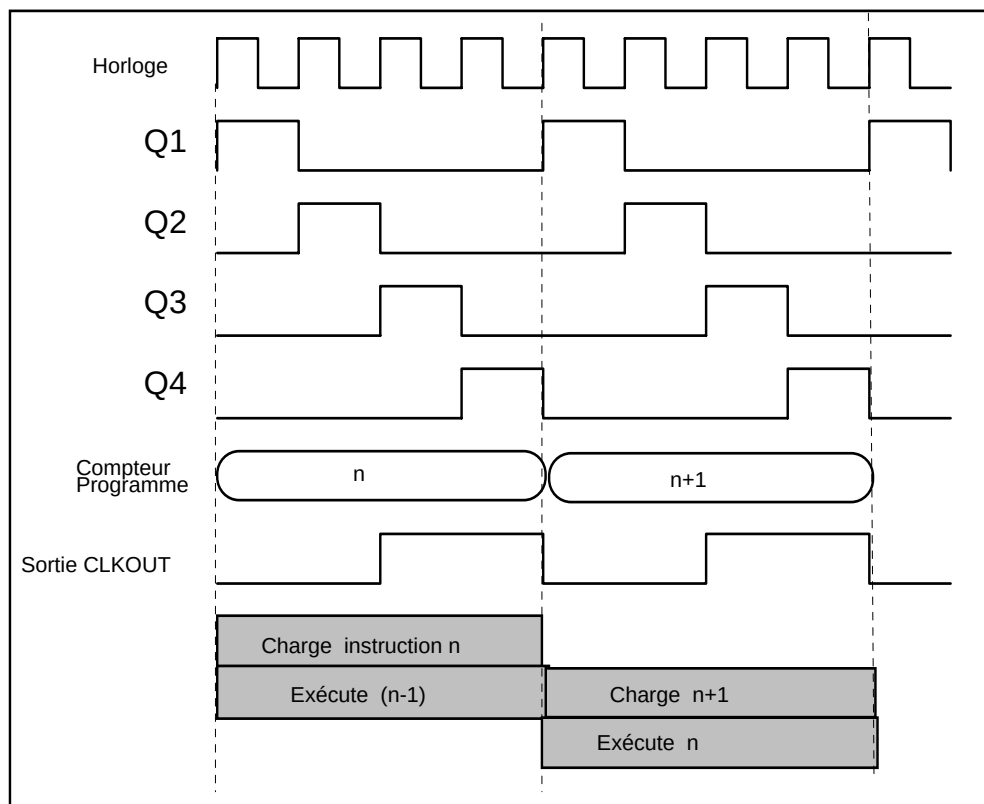
Leurs instructions sont en nombre réduit, mais efficaces. De plus ils possèdent une architecture push pull permettant pendant un cycle d'horloge, l'exécution d'une instruction et simultanément le chargement de l'instruction suivante. La figure suivante montre comment la fréquence de l'oscillateur est divisée par 4 de façon à définir au cours de chaque cycle machine 4 phases Q1 Q2 Q3 Q4 au cours desquelles sont réalisées les différentes tâches nécessaires. On notera la sortie CLKOUT qui délivre un signal de fréquence F/4 (En mode RC)

La société MICROCHIP commercialise de nombreux circuits de cette famille qui se distinguent par le nombre de leurs bornes d'entrée- sortie, la taille de leur mémoire de programme et les périphériques intégrés.

Ces circuits se classent en plusieurs familles en fonction de la longueur des mots de programme. De nouveaux circuits apparaissent sans

cesse, le plus sûr est de consulter le site de Microchip www.microchip.com

Les circuits les plus anciens utilisaient des mots de 12 bits, les plus connus sont 16C54 16C55 etc.. Ils ont actuellement disparu et ont été remplacés par des boîtiers plus modernes et compatibles.



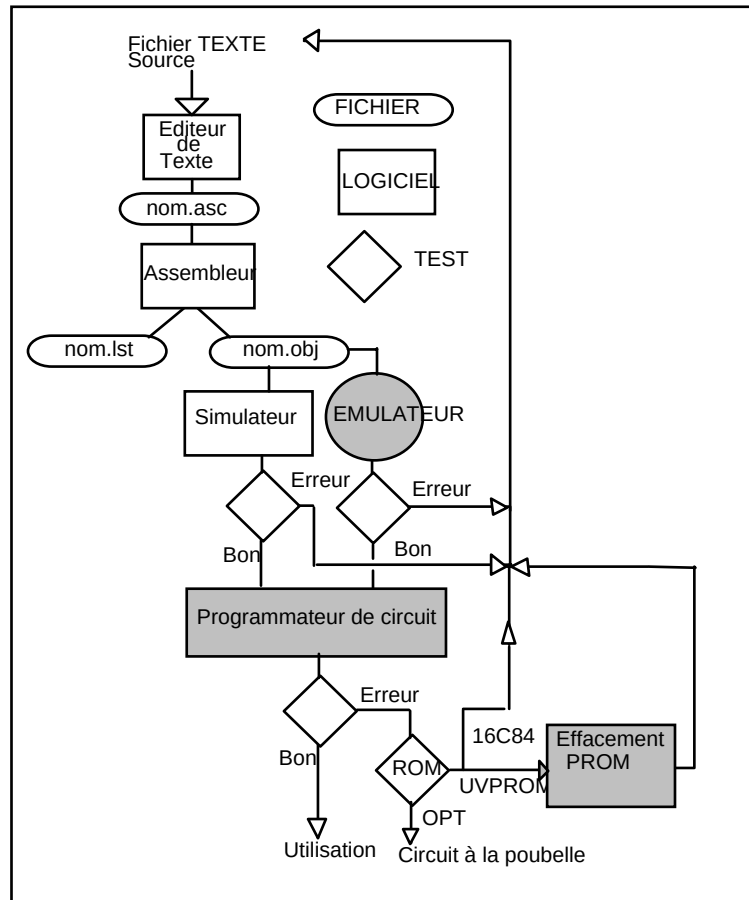
La famille 14 bits est la plus intéressante , c'est à cette famille qu'appartient le 16F84 qui fait l'objet de ce document.

L'impossibilité d'utiliser une ROM extérieure et en particulier un émulateur de PROM complique la mise en oeuvre de ces circuits. Le logiciel écrit en assembleur doit être testé avec un logiciel de simulation , puis la PROM interne gravée grâce à un programmeur de PIC et enfin le circuit mis sous tension. Si le logiciel comporte des erreurs la PROM doit être effacée (Il faut donc utiliser un boîtier à fenêtre , coûteux) et les tests repris. La procédure est lourde et les circuits soumis à de multiples effacements ont une durée de vie réduite . L'utilisation d'un émulateur est souhaitable, mais un tel système est coûteux (plus de 1000E) et fragile. (La sonde est fragile)

Le 16F84 permet de retrouver la souplesse qu'apportait l'émulateur de ROM avec le 8031. La mémoire programme est une flash qui peut être programmée très rapidement 'sur site' par un programmeur de coût négligeable. Le circuit 16C84 plus ancien est totalement compatible du point de vue soft, il contenait une EEPROM au lieu d'une flash. Le nombre d'effacements possibles était plus faible , quelques centaines seulement.

Le PIC16F84 est semblable au 16C54 mais à la différence de son ancêtre , connaît la notion d' interruption , possède une pile nettement plus étendue autorisant jusqu'à 8 niveaux de sous programmes contre 2 pour le 54 , et inclus une EEPROM de données de capacité 64 octets., permettant de stocker des constantes qui subsisteront en cas de coupure de l'alimentation.,

Le 16F84 peut être effacé et reprogrammé des milliers de fois.



ARCHITECTURE MATERIELLE

Les premiers boîtiers commercialisés par MICROCHIP étaient ceux de la famille 16Cxx avec mots de programmation interne de 12 bits. Cette famille a actuellement disparu pour faire place à des circuits 14 bits dont fait partie le 16C84 qui nous occupe ici .

Extérieurement les boîtiers des 16C54 16C84 et 16F84 sont identiques .

Outre les deux bornes d'alimentation VDD-VSS=5V typiques on notera la présence de :

- 1 port B de 8 bits utilisable en entrée ou sortie (Broches RB0-7)

- 1 port de 5 fils RA0-4 , le fil R4 est aussi l'entrée du signal de commande du timer interne (RTCC) ,pour le 16C54 il n'a que cette fonction.

- 2 bornes pour réaliser l'oscillateur :

Cet oscillateur peut être un oscillateur à quartz ou de type RC. Un signal logique extérieur peut également être injecté sur OSC1,

. Les 16C5x peuvent fonctionner jusqu'à 20Mhz mais il faut acheter le boîtier qui convient au type d'oscillateur que l'on veut réaliser.

(Le 16C54 existe par exemple en 5 versions :

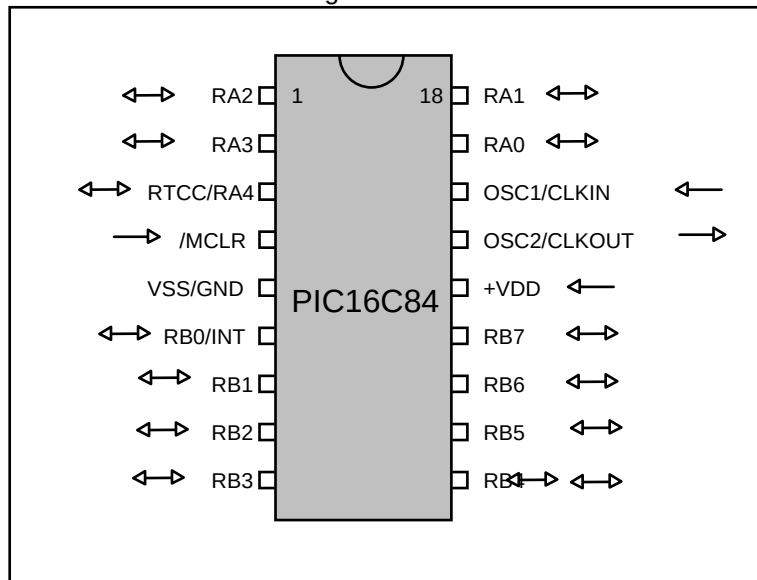
16C54-RC pour oscillateur RC

16C54-XT quartz jusqu'à 4Mhz

16C54-HS quartz jusqu'à 20Mhz

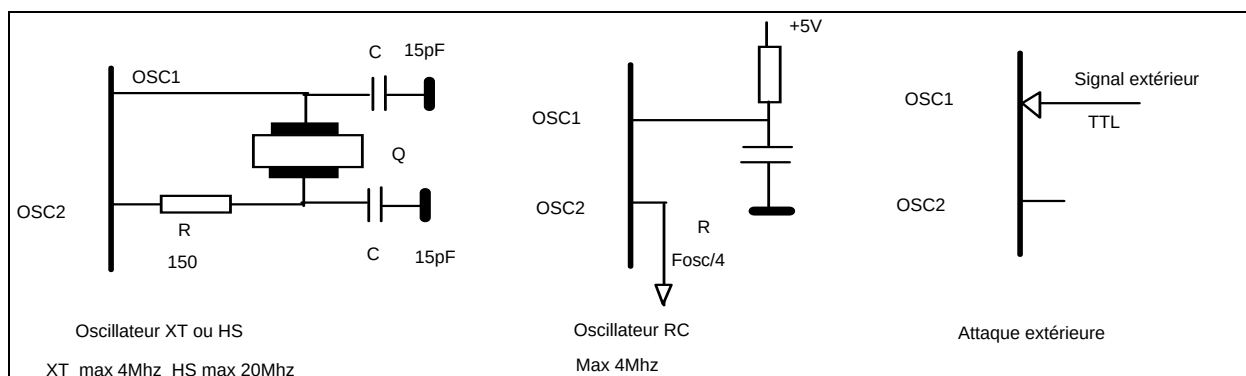
16C54LP Faible puissance 2 à 6V d'alimentation 200kHz max

16C54-JW version UVPROM)



Le 16(C/F)84 n'existe qu'en une seule version (Il existe en fait une version standard 4Mhz max et une version HF qui fonctionne jusqu'à 20 Mhz) et accepte l'un ou l'autre des schémas il faut seulement indiquer au moment de la programmation quel est le schéma utilisé. (Programmation des fusibles , voir plus loin)

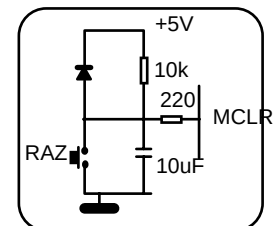
Ces différents schémas sont indiqués ci dessous .



On notera qu'avec la version RC ou en utilisant un oscillateur extérieur la fréquence d'horloge peut descendre jusqu'à zéro, le circuit ne possède pas de mémoires dynamiques internes .Choisir R entre 5 et 100kΩ.

- La broche MCLR est utilisée pour le RAZ et également dans le cas du 16C/F84 pour la programmation de la mémoire de programme .

Le schéma de remise à zéro est classique (figure ci contre)



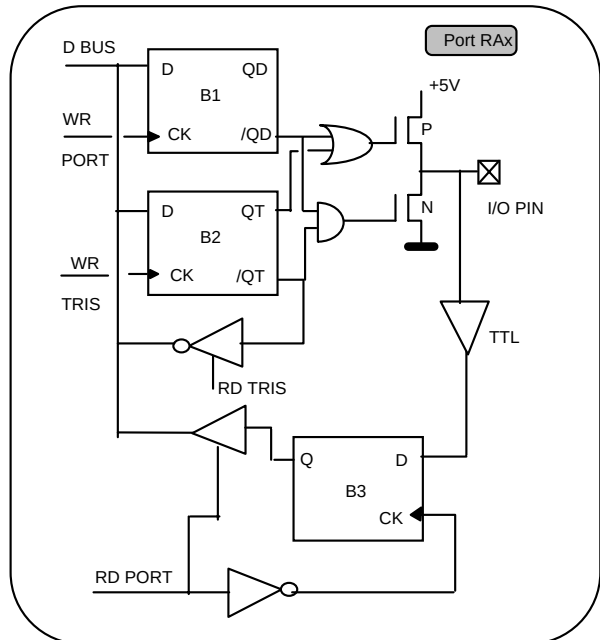
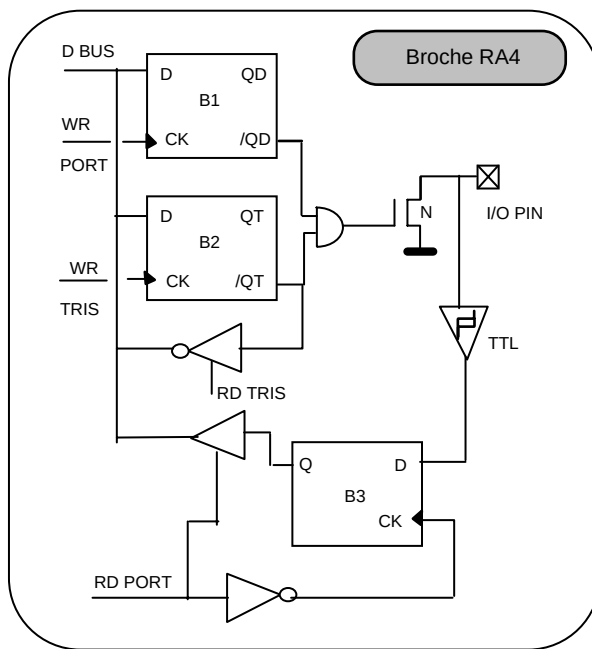
LES PORTS D'ENTREE SORTIE

Le 16C/F84 possède 2 ports d'entrée sortie A et B ayant respectivement 5 (4 pour le 16C54) et 8 fils. Le sens de transfert de chaque fil est déterminé par un bit situé dans le registre TRIS correspondant (TRISA ou TRISB) (0 en sortie 1 en entrée)

La structure de chaque borne du **port A** est représentée dans la figure ci jointe . Les 'latches' B1 et B2 correspondent respectivement à l'un des bits des registres PORT et TRIS

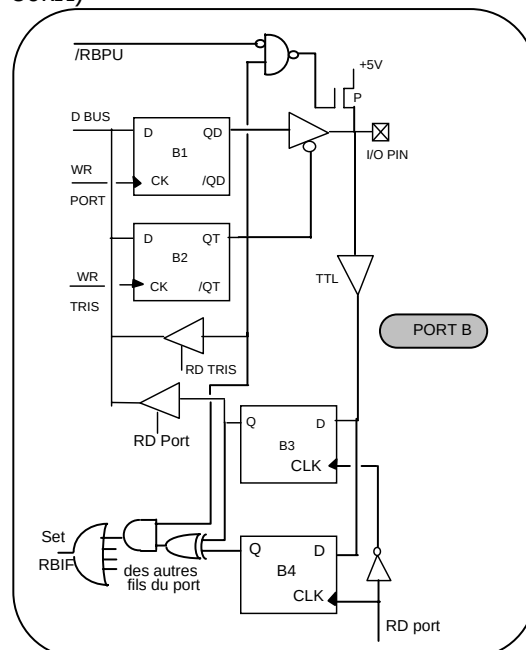
Lorsque le fil est programmé en entrée la sortie QT de B2 est au 1, les deux MOS canal P et N voient leur grille portée respectivement à 1 et 0, ils sont bloqués et l'état de la borne lue par le buffer TTL est déterminée par le circuit extérieur relié à cette borne. En sortie au contraire QT=0 et la tension sur les grilles des MOS est entièrement déterminée par l'état de la bascule B1. Si par exemple QD=1, le MOS P est conducteur (0 sur sa grille) et le MOS N bloqué, la broche de sortie est portée au niveau haut.

Cette structure est celle des bornes RA0 à RA3, pour RA4 qui n'est présente que sur le



16F84, le MOS P n'existe pas; la sortie est pilotée par le seul MOS N et une résistance extérieure de pull up est nécessaire. (Figure ci contre) Cette broche RA4 est aussi l'entrée du TIMER interne (Fil RTCC du 16C54) .

Le **PORT B** a une structure différente . Il existe un seul MOS P qui joue le rôle de résistance de pull up (Courant de 100uA équivalent à une résistance de 50kΩ)



Ce MOS est bloqué si le fil est programmé en sortie. Le niveau de sortie est dans ce cas fixé par un buffer 3 états relié à la sortie QD de la bascule B1. (Figure ci contre) .

Le MOS de pull up peut également être bloqué par la mise à 0 du bit RBPU du registre OPTION (OPTION-7)

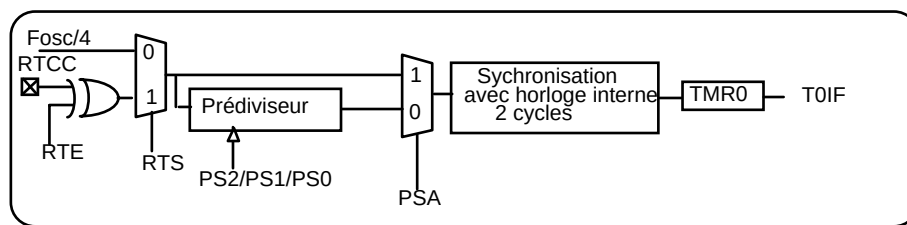
La bascule B4 et le OU Exclusif associé n'existent que pour les bornes PB4 à PB7. La bascule B4 mémorise l'état de l'un de ces 4 fils au moment du coup d'horloge précédent. Le OU exclusif compare ainsi deux états successifs et un signal d'interruption RBIF est généré s'ils sont différents c'est à dire si l'état de l'un des fils PB4-7 à été modifié. Pour le 16F84 la moitié haute du port B joue le rôle d'entrée d'interruption.

LE TIMER INTERNE

Le 16C/F84 (comme le 16C54) possède un timer interne dont le fonctionnement est déterminé par le contenu du registre OPTION et qui active une interruption (Bit TOIF) au dépassement (overflow) .

Les événements qui font avancer le compteur RTCC sont soit un signal synchrone du compteur interne et de fréquence $F_{osc}/4$ (si le bit RTS du registre OPTION est au 0, c'est le mode TIMER), soit une transition sur la broche RTCC/RA4 .(Si RTS=1, c'est le mode COMPTEUR).Le bit PSA permet de faire intervenir ou non un diviseur supplémentaire dont le taux de division est déterminé par les bits PS2-PS1-PS0 . Pour synchroniser les signaux d'entrée et l'horloge interne , deux cycles machine sont nécessaires, il existe donc un retard entre l'arrivée de l'événement sur la broche RTCC et l'avance du compteur.

Le diviseur préalable (prescaler) est utilisé également par le chien de garde intégré qui sera décrit plus loin.



Les bits du registre OPTION sont les suivants , ils sont tous mis au 1 par un RESET .:

OPTION	/RBPU	INTEDG	RTS	RTE	PSA	PS2	PS1	PS0
81H	7	6	5	4	3	2	1	0

OPTION.7	/RBPU	Au zéro il met en place le MOS de pull up du port B
OPTION.6	INTEDG	Définit le sens du front (0= $\downarrow$, 1= $\uparrow$) qui provoquera une interruption sur la borne INT =RB0 (si cette interruption est activée)
OPTION.5	RTS	Définit la source utilisée par le timer (1= borne RA4 0= $F_{osc}/4$)
OPTION.4	RTE	Définit le sens de la transition sur RA4 qui fait avancer le compteur (0= $\downarrow$, 1= $\uparrow$)
OPTION.3	PSA	Si PSA=1 le prédiviseur est utilisé par le TIMER , au 0 il est affecté au chien de garde.
OPTION.2-1-0	PS2-PS1-PS0	Définit le taux de division du pré compteur conformément au tableau ci dessous .

Le registre RTCC (appelé parfois TMR0) peut être lu ou écrit .

Cependant :

Pour toute écriture dans ce registre le comptage ne redémarre que deux cycles machine plus tard .(2 μ S pour un quartz à 4 Mhz) de plus, le pré diviseur est remis à zéro .

Pour tester l'état du compteur il est possible de lire RTCC par une instruction MOVF TMR0,W sans perturber le déroulement du comptage .

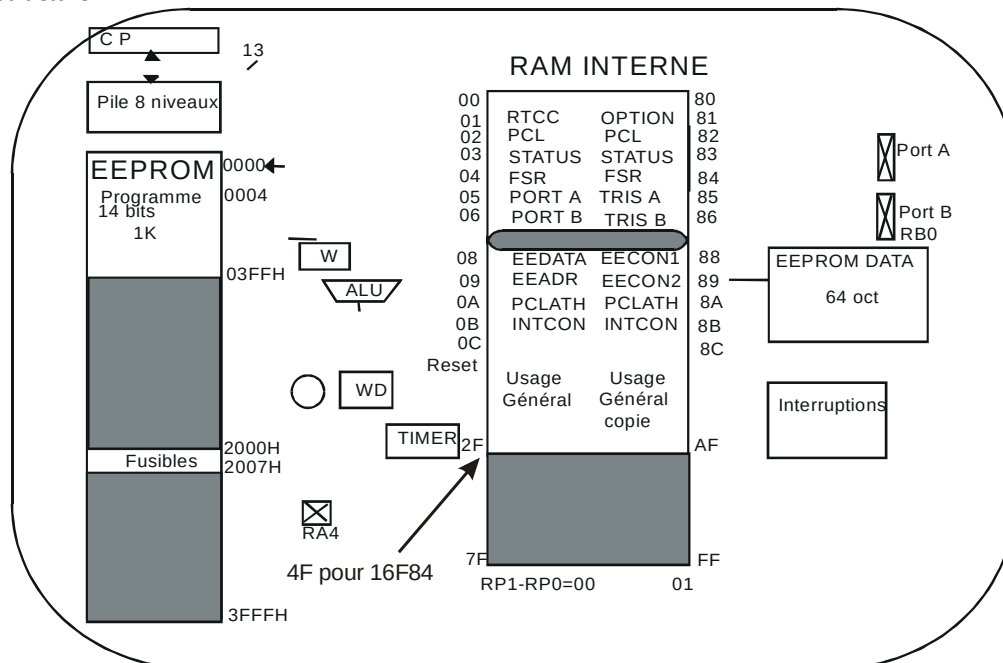
PS2	PS1	PS0	Taux de division pour le TIMER	pour le WAT-CHDOG
0	0	0	2	1
0	0	1	4	2
0	1	0	8	4
0	1	1	16	8
1	0	0	32	16
1	0	1	64	32
1	1	0	128	64
1	1	1	256	128

LA STRUCTURE INTERNE

Les éléments constituant du boîtier sont représentés sur la figure ci dessous :

Comme dans les microprocesseurs classiques , contrairement au 8051, l'accumulateur **qui s'appelle ici W** ne fait pas partie du champ mémoire..

Structure



L'unité arithmétique et logique (ALU) travaille avec les octets provenant de W et le contenu des registres placés dans la RAM interne que l'on appelle ici registres f . L'ALU reçoit également des nombres entiers (de 0 à FF),ici un entier est appelé LITERAL et noté k .

Le boîtier 16C84 contient 48 octets de RAM interne dont 12 sont les registres de commande et 36 disponibles pour stocker des résultats numériques Ce nombre est porté à 68 pour la version F . L'adresse contenue dans le code des instructions n'a que 7 bits (Permettant d'accéder à des cases mémoire entre 00 et 7F , dont seules celles comprises entre 00 et 2F existent réellement) Le 8eme bit nécessaire pour accéder aux cases 80 à FF est le bit RP0 du registre d'ÉTAT .chaque valeur de ce bit définit une PAGE. On notera que certains registres ont deux adresses ,une dans chaque page.

Les mots de programme ont une longueur de 14 bits ils sont contenus dans une EEPROM adressée par un bus de 13 bits , en réalité seuls 13 bits sont gérés par le compteur programme , 8 dans le registre PCL et les 5 autres fournis par le registre PCLATH . Ces 13 bits permettent d'accéder à 8k de ROM dont 1k seulement sont implantés dans le boîtier. Les bits 11 et 12 sont ignorés .Il existe cependant 8 octets situés entre 2000H et 2007H non accessibles directement car ils mettent en oeuvre le fil A13 non géré par le compteur programme . Ces 8 octets contiennent les FUSIBLES qui déterminent le type d'oscillateur utilisé et la mise en oeuvre ou non du chien de garde. Ils ne sont accessibles que par le logiciel de gravure dans l'EEPROM.

A ceci s'ajoutent 64 octets dans une EEPROM de données , accessibles par une procédure spéciale.

Compte tenu du faible nombre d'octets de RAM disponibles , la pile utilisée pour la gestion des sous programmes n'est pas implantée en RAM . Une pile spéciale de 8 niveaux est prévue. Ainsi 8 niveaux de sous programmes sont admis au maximum ,c'est déjà pas mal, mais les instructions PUSH et POP n'existent pas .

Les registres en RAM

Nous avons déjà décrit le registre OPTION qui intervient dans le pilotage du TIMER , passons en revue les autres .

A l'adresse 01 **RTCC** est le compteur utilisé par le TIMER et le chien de garde

A l'adresse 02 ou 82H on trouve le compteur programme **PCL** ou plus exactement l'octet bas de l'adresse dans la ROM de programme . Les 5 bits supplémentaires sont contenus dans le registre **PCLATH** d'adresse 09 (ou 89H) .

Le registre d'état **STATUS** est situé à l'adresse 03 (ou 83H) , son contenu est le suivant :

STATUS	IRP	RP1	RP0	/T0	/PD	Z	DC	C
03	7	6	5	4	3	2	1	0

STATUS.7 IRP est un bit destiné à permettre l'accès à plus de 256 mots de RAM par adressage indirect (voir plus loin) ,il n'est pas utilisé par le 16C84

STATUS 6-5 RP1-RP0 Sont les deux bits de sélection de la PAGE en RAM , seul RP0 est utilisé par le 16C84 .Le second peut être utilisé comme bit d'usage général mais cela est déconseillé pour des raisons de compatibilité des logiciels avec d'autres boîtiers de la famille 16CXX.

STATUS.4 /TO (Time Out) Est mis à 1 lors de la mise sous tension ou de la remise à zéro du chien de garde , il est basculé à 0 si le chien de garde déborde .

STATUS.3 /PD (Power Down) Est mis à 1 à la mise sous tension , ao 0 par une instruction SLEEP

STATUS.2 Z (Zéro) Mis à 1 si le résultat d'une opération est nulle .

STATUS.1 DC (Digit Carry) C'est la retenue intermédiaire de l'arithmétique DCB

STATUS.0 C Est la retenue en addition ou soustraction.

Le registre FSR est utilisé en adressage indirect, voir plus loin .

L'adresse 5 est le PORT A et 85H le registre de direction TRIS A de ce port (1=entrée 0=sortie)

Le PORT B est localisé dans la case suivante 06 ou 86H

Il n'y a pas de case mémoire à l'adresse 07 (ou 87H)

Les octets suivants sont consacrés à la gestion de l'EEPROM de données et aux interruptions.

Les interruptions

Le 16C84 dispose de 4 sources d'interruptions :

- Une source externe via la broche RB0/INT
- Le débordement du TIMER
- un changement de l'état des bornes 4 à 7 du port B

- La programmation de l' EEPROM de données

Ces interruptions sont définies et autorisées à partir du registre INTCON d'adresse 0B ou 8B

INTCON 0B	GIE	EEIE	RTIE	INTE	RBIE	RTIF	INTF	RBIF
	7	6	5	4	3	2	1	0

INTCON.7	GIE	est le bit d'autorisation de toutes les interruptions ,au 0 aucune interruption n'est active, c'est son état au RESET.
INTCON.6	EEIE	valide l'interruption associée à l'EEPROM de données
INTCON.5	RTIE	Mis à 1 il autorise les interruptions associées au débordement du compteur du TIMER (RTCC)
INTCON.4	INTE	C'est la validation de l'interruption extérieure reçue sur RB0
INTCON.3	RBIE	Valide ou non les interruptions provoquées par un changement d'état sur les fils 7 à 4 du port B.
INTCON.2	INTF	S'il est mis à 1 ce bit indique qu'une interruption à été décelée sur l'entrée INT (RB0) . Ce bit détecte cette interruption même si elle n'est pas autorisée.
INTCON.0	RBIF	Indique un changement d'état sur les 4 fils RB7-4 .

Ne pas oublier le bit INTEDG = OPTION.6 qui détermine le sens de la transition active sur l'entrée d'interruption extérieure RB0.

A propos des interruptions il faut ajouter les remarques suivantes :

Chaque bit de validation d'une interruption (RBIF,INTF,...) doit être remis à 0 par logiciel dans le programme de traitement de cette interruption.

Lorsqu'une interruption survient le bit de validation général GIE est automatiquement mis à 0 par le processeur de façon à ne pas perturber l'exécution de l'interruption en cours. Il est remis au 1 lors de l'exécution de l'instruction de retour RETFIE

toutes les interruptions utilisent la même adresse 0004 dans la ROM de programme .

L'EEPROM de données

Elle ne fait pas partie du champ mémoire normal et n'est accessible que par une procédure spéciale mettant en oeuvre les registres EEDATA EEADR EECON1 et 2

EECON1 88H				EEIF	WRERR	WREN	WR	RD
	7	6	5	4	3	2	1	0

EECON1;4	EEIF	EEPROM interrupt Flag est mis à 1 lorsqu'une écriture est terminée Une interruption lui est associée, il ne faut pas oublier que l'écriture d'un octet dans l'EEPROM prend 10mS .
EECON1.3	WRERR	Mis à 1 si une erreur s'est produite pendant l'écriture
EECON1.2	WREN	Ce bit doit être mis à 1 pour autoriser une écriture , il est au 0 au reset
EECON1.1	WR	Doit être forcé à 1 pour écrire une donnée, est remis à 0 par le logiciel lorsque l'écriture est achevée
EECON1.0	RD	Doit être mis à 1 pour lire un octet, est remis automatiquement au 0 par le circuit.

Le registre EECON2 n'a pas d'existence réelle, il n'est évoqué que lors d'une écriture pour sécuriser l'EEPROM.

Procédure de lecture d'un octet en EEPROM

- 1° Écrire l'adresse dans EEADR
- 2° Mettre à 1 le bit RD=EECON1.0
- 3° Lire le contenu de EEDATA

Procédure d'écriture :

- 1° Charger l'adresse dans EEADR
- 2° Charger la donnée à écrire dans EEDATA
- 3° Exécuter le programme de sécurisation suivant:
 - Charger 55 dans W
 - Transférer W dans EECON2 (adresse 89H)
 - Charger AA dans W
 - Transférer W dans EECON2
 - Monter à 1 le bit WR de EECON1

Il n'existe pas de procédure d'effacement car toute écriture dans une case mémoire EEPROM efface son contenu précédent .

Le chien de Garde (WATCHDOG)

Un chien de garde est un dispositif matériel et logiciel destiné à se prémunir contre les 'plantages' accidentels du programme, dus à une impulsion sur l'alimentation par exemple . Il s'agit d'un compteur interne commandé par un oscillateur indépendant qui au débordement (le passage de FF à 00 pour un compteur 8 bits) provoque un RESET du CPU. Pour éviter ce RESET le programme doit périodiquement remettre à zéro le compteur du chien de façon qu'un débordement ne se produise jamais. Si le programme se 'plante' cette fonction de remise à zéro n'est plus effectuée et un RESET est commandé.

Les microcontrôleurs 16CXX possèdent un tel dispositif qui peut être activé ou non par un fusible programmable par le programmeur de PIC. (Il n'est pas accessible normalement)

Le fonctionnement est piloté :

- Par le fusible WDT cité plus haut
- Par le bit PSA du registre OPTION
- Par l'instruction CLRWDT qui effectue un RESET du compteur du WD et doit être activée périodiquement dans votre programme.

Entre deux débordements il s'écoule normalement 18mS environ, si cette durée est trop courte elle peut être allongée jusqu'à 2,5 secondes en mettant en oeuvre le prédiviseur utilisé également par le TIMER, pour cela il suffit de basculer le bit PSA à 1 . On notera qu'il n'est pas possible d'utiliser le prédiviseur simultanément pour le TIMER et le WD .

Evolution de la structure

La structure précédente qui est celle des 16F83 (1k de Flash) 16F84 (2k de Flash) se retrouve également sur les circuits plus récents 16F627 et 16F628 beaucoup plus riches en fonctionnalités