

STATION METEOROLOGIQUE AUTOMATIQUE MIRIA 16

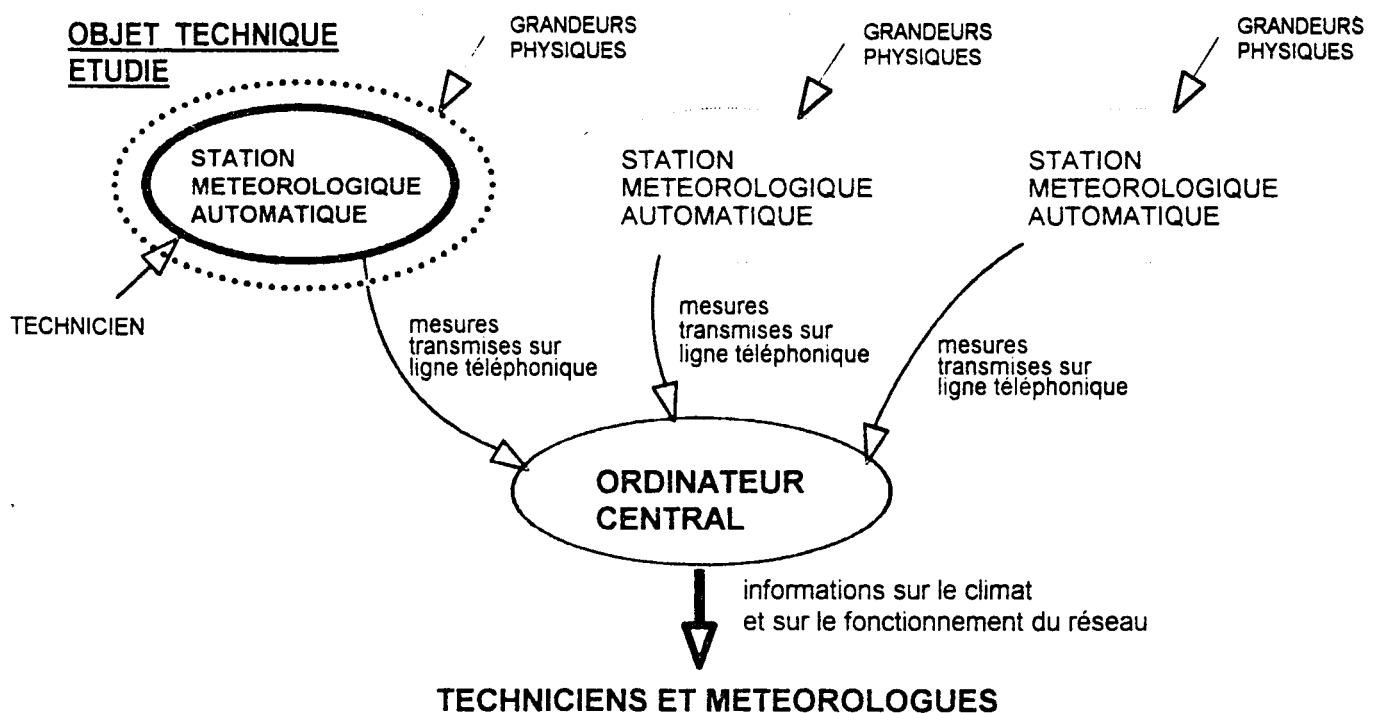
A) PRESENTATION

A-1) EXPRESSION DU BESOIN

Les services météorologiques effectuent des statistiques climatologiques sur tout le territoire national. Dans ce but, il a été mis en place dans chaque région un réseau automatique de mesure.

Un réseau est constitué d'une multitude de stations météorologiques, reliées chacune à un ordinateur central par une ligne téléphonique. Les sites d'implantation sont choisis de façon à couvrir le territoire de façon homogène. Chaque station effectue des mesures des grandeurs physiques de son environnement. L'ordinateur central collecte toutes les mesures, en interrogeant à intervalle régulier chaque station. Cet ordinateur est situé au niveau du service régional de la météorologie, ce qui donne la possibilité aux techniciens de contrôler en temps réel le fonctionnement du réseau, ainsi qu'aux météorologues celle de connaître immédiatement la situation météorologique de la région.

A-2) DIAGRAMME SAGITTAL DU RESEAU AUTOMATIQUE DE MESURE



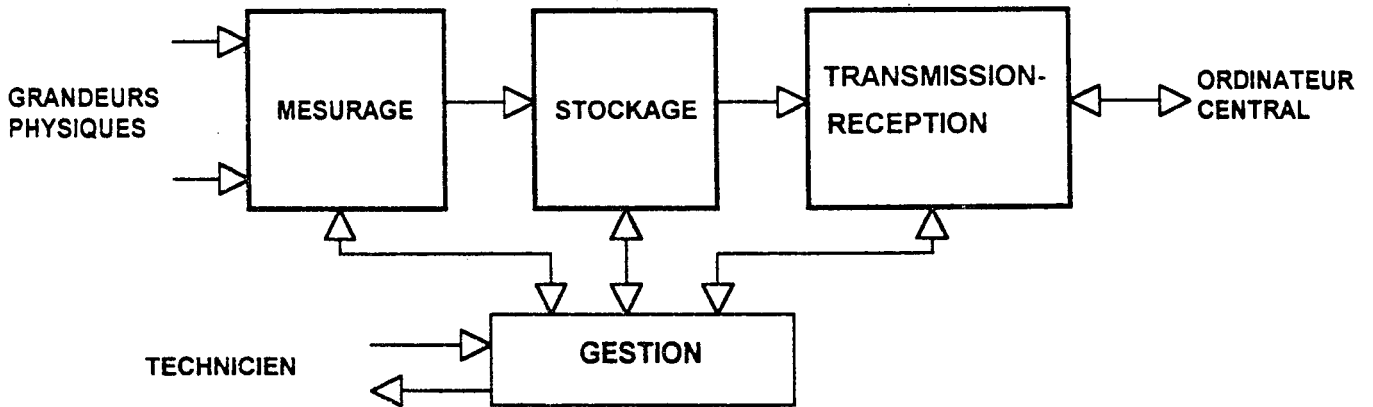
GROUPEMENT INTERACADEMIQUE II Session 1995			
Examen:	BACCALAUREAT TECHNOLOGIQUE	Coef: 8	Durée: 6 heures
Epreuve:	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE		Feuille: A 1 / 3

A-3) PRESENTATION DE L'OBJET TECHNIQUE

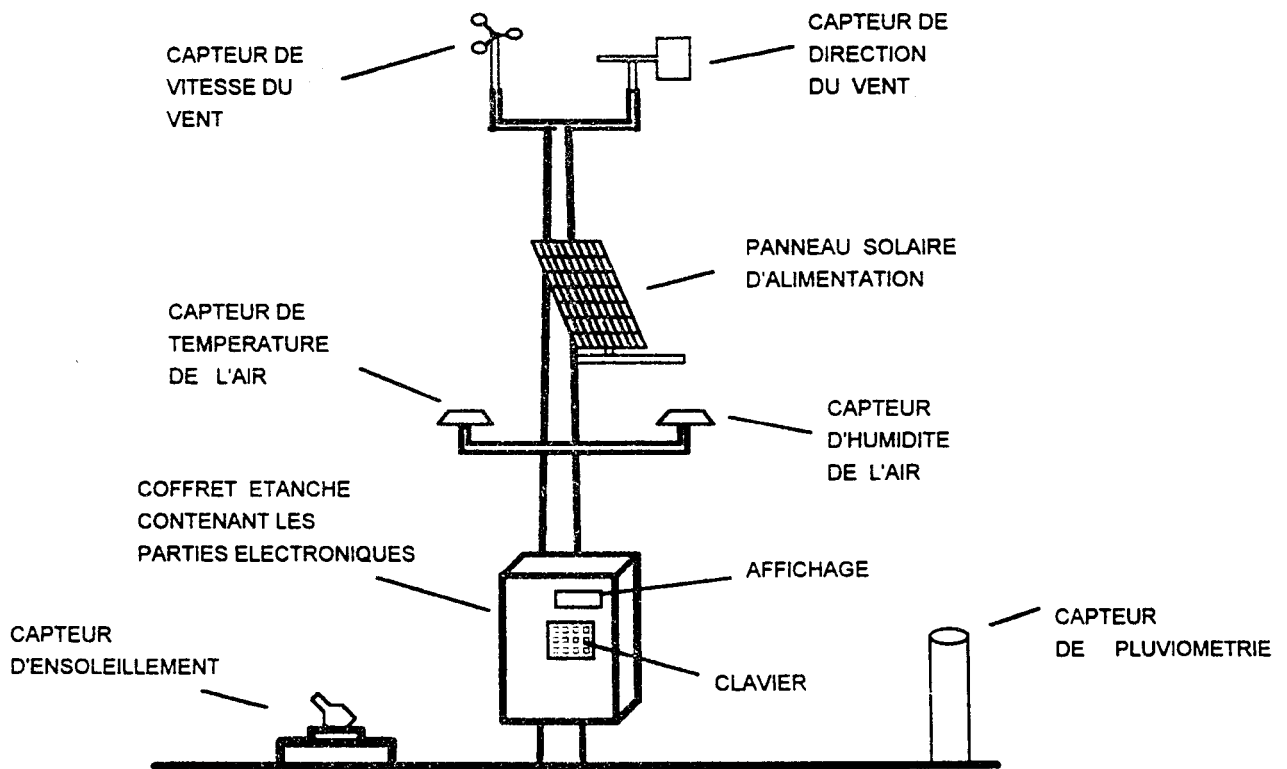
A-3-1) Fonction d'usage de l'objet technique " STATION METEOROLOGIQUE AUTOMATIQUE"

La station météorologique automatique mesure les grandeurs physiques de l'environnement. Elle stocke les mesures, et les transmet à l'ordinateur central sur demande de celui-ci.

A-3-2) Schéma fonctionnel de niveau II



A-3-3) Organisation matérielle :



GROUPEMENT INTERACADEMIQUE II Session 1995			
Examen:	BACCALAUREAT TECHNOLOGIQUE	Coef: 8	Durée: 6 heures
Epreuve:	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE	Feuille: A 2 / 3	

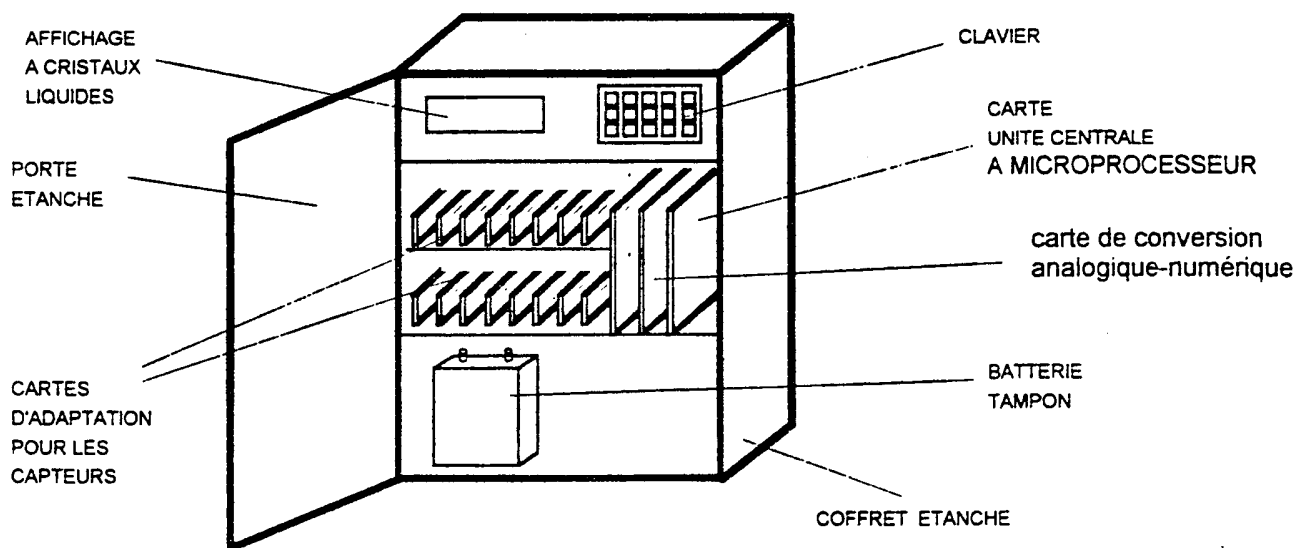
A-3-4) Caractéristiques techniques de la station météorologique automatique

- L'alimentation de la station s'effectue dans de nombreux cas par panneaux solaires, qui alimentent des batteries tampon. Il est donc nécessaire que la consommation soit la plus faible possible. Elle est de 1 watt en mode de fonctionnement de " mesure ".
- La station MIRIA 16 comporte 16 canaux de mesure. Chaque canal reçoit un "module", correspondant à un type de capteur donné. Il n'y a aucune contrainte concernant l'affectation d'un type de grandeur pour un canal. Cela permet de répondre à n'importe quel besoin de configuration, pour un site d'implantation
- Chaque station est interrogée par l'ordinateur central toutes les 6 heures. La capacité de mémorisation est donc de 6 heures de mesures cumulées.
- En cas de défaut d'alimentation, les mesures doivent être sauvegardées pendant 72 heures au minimum
- Les dérives liées au vieillissement des capteurs et aux facteurs d'ordre physique sont prises en compte, pour garantir une fidélité optimale des mesures. L'erreur sur les mesures ne doit pas dépasser 0,2%.
- Les performances de la chaîne d'acquisition sont entièrement contrôlées par logiciel. Des calibrations et autocorrections sont effectuées en permanence, ainsi qu'une autosurveillance du fonctionnement.
- Les conditions d'utilisation de la station correspondent à une plage de température comprise entre -25°C et + 60°C, avec un taux d'humidité maximum de 100 %.

Types de grandeurs physiques mesurées

- Température de l'air, Humidité relative de l'air, Hauteur des précipitations, Ensoleillement direct, Vitesse du vent, Direction du vent.

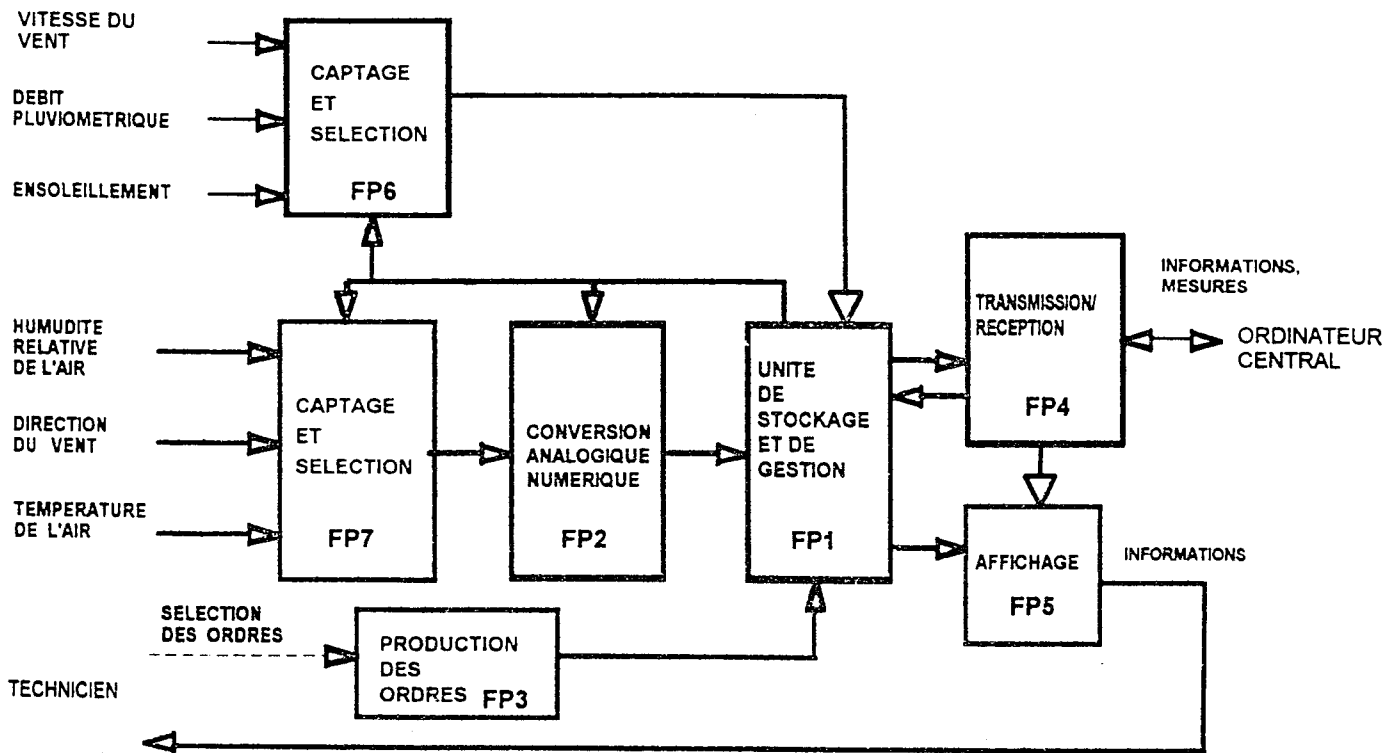
A-3-5) Description du coffret contenant les parties électroniques



GROUPEMENT INTERACADEMIQUE II Session 1995			
Examen:	BACCALAUREAT TECHNOLOGIQUE	Coef: 8	Durée: 6 heures
Epreuve:	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE		Feuille: A 3 / 3

C) ELECTRONIQUE

C-1) SCHEMA FONCTIONNEL DE DEGRE 1 DE L'OBJET TECHNIQUE



Description des fonctions principales

- **FP1:** Unité centrale à microprocesseur, qui analyse les valeurs mesurées, les stocke en mémoire, et contrôle le fonctionnement de l'objet technique.
- **FP2:** Elle convertit la tension continue issue de FP7, en une valeur numérique codée sur 12 bits.
- **FP3:** Elle est constituée d'un clavier, qui permet au technicien de contrôler le fonctionnement de la station lors des visites de maintenance sur le site d'implantation.
- **FP4:** Interface du type " MODEM ", qui convertit les signaux issus de l'unité de gestion en signaux compatibles avec la transmission sur la ligne téléphonique. Elle réalise également la conversion inverse. Le MODEM délivre des signaux, qui traduisent son état de fonctionnement. Ces signaux sont envoyés à l'affichage, et traduits par des diodes électroluminescentes.
- **FP5:** L'affichage est constitué d'un écran à cristaux liquides, et de diodes électroluminescentes. Le rôle des diodes est de traduire l'état de fonctionnement du MODEM.
- **FP6:** Elle est constituée des capteurs, délivrant un signal du type LOGIQUE. Une sélection interne permet à l'unité de gestion de sélectionner la grandeur physique mesurée.
- **FP7:** Elle est constituée des capteurs, délivrant un signal du type ANALOGIQUE. Une sélection permet à l'unité de gestion de sélectionner la grandeur physique mesurée.

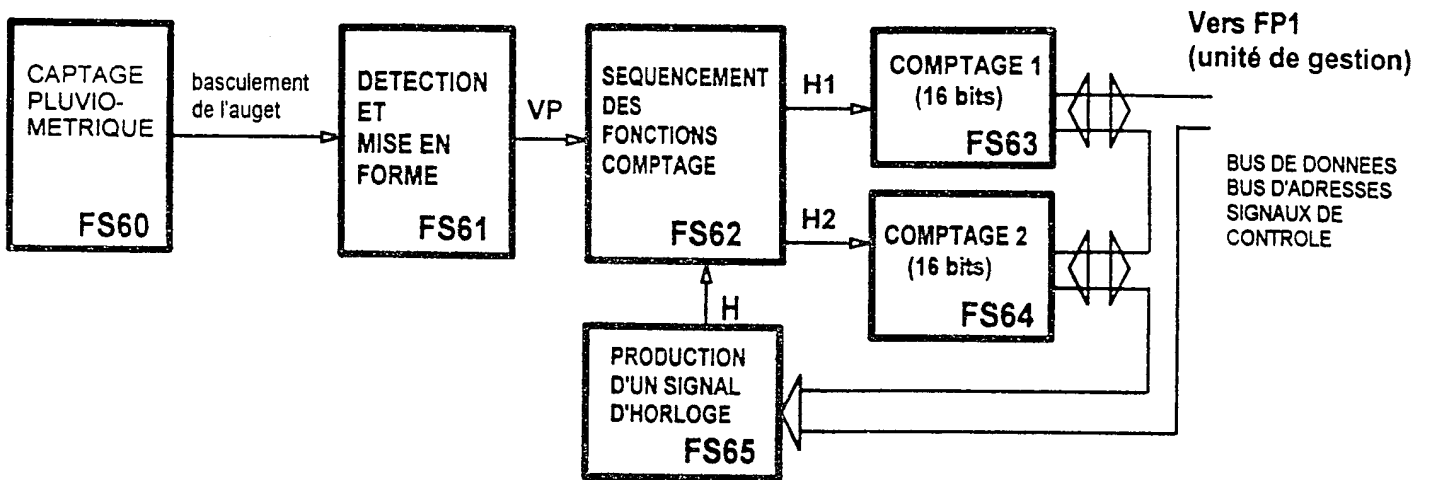
GROUPEMENT INTERACADEMIQUE II Session 1995			
Examen:	BACCALAUREAT TECHNOLOGIQUE	Coef: 8	Durée: 6 heures
Epreuve:	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE		Feuille: C 1/12

C-2) ETUDE DE LA FONCTION PRINCIPALE FP6 "captage et sélection"

L'étude structurelle sera partielle et portera sur l'acquisition de l'information numérique liée au débit pluviométrique.

C-2-1) Présentation

Schéma fonctionnel partiel de 2ème degré de FP6 :



Fonctionnement:

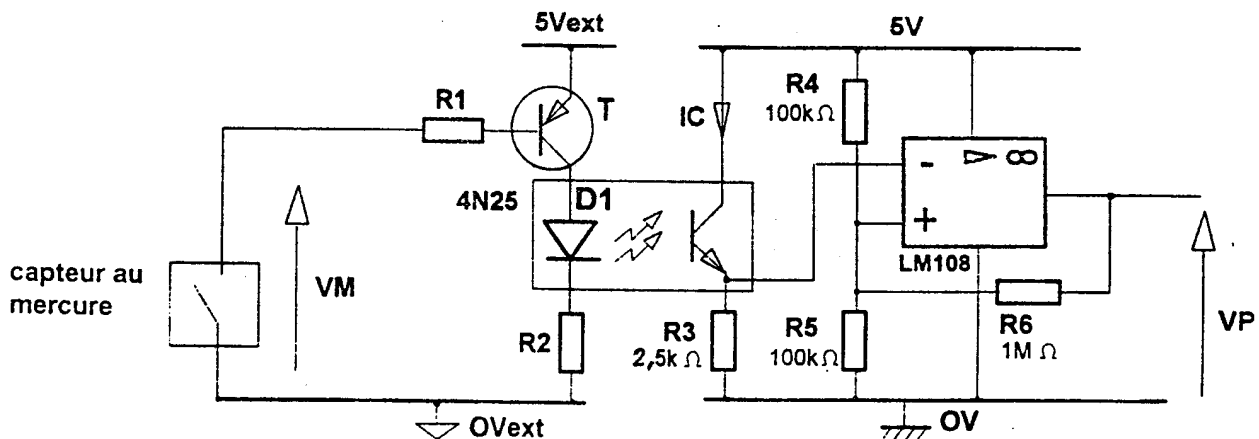
Le captage du basculement de l'auget est obtenu avec un capteur au mercure que l'on assimilera à un interrupteur fermé pendant chaque basculement. On obtient en sortie de FS61 un signal rectangulaire dont chaque impulsion correspond à un basculement. Deux compteurs (16 bits) permettent l'acquisition de la valeur numérique correspondant à la durée entre 2 basculements successifs. Cette information numérique est ensuite lue et traitée par FP1 afin de déterminer le débit pluviométrique. La fonction FS65 génère le signal d'horloge dont la fréquence est fixée par FP1, cela permet d'adapter la vitesse de comptage aux différentes conditions météorologiques (orage, pluie, crachin).

La fonction FS62 permet d'aiguiller les impulsions d'horloge vers :

- le comptage 1 entre les basculements n et n+1
- le comptage 2 entre les basculements n+1 et n+2
- le comptage 1 " " " n+2 et n+3
- le comptage 2 " " " n+3 et n+4, etc...

C-2-2) Analyse structurelle de FS61:

Le schéma structurel de FS61 est le suivant:



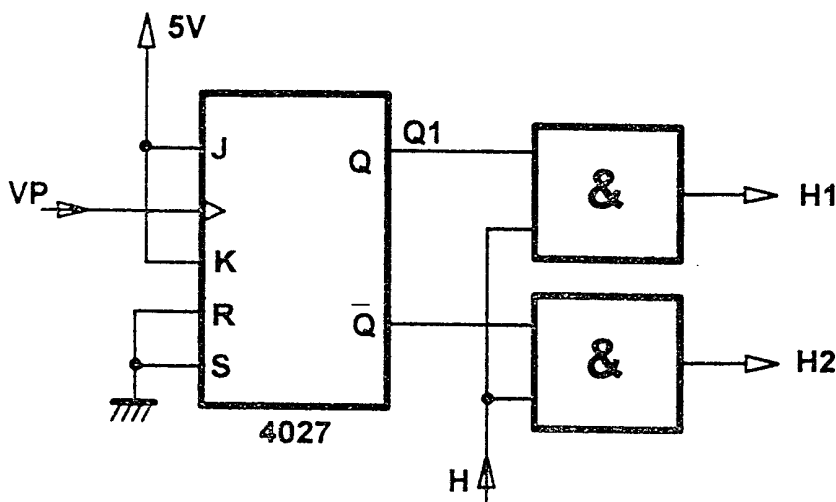
HYPOTHESE:

Le transistor T fonctionne en commutation

$V_{ce(sat)} = 0,4V$ $V_{be} = 0,7V$ $\beta_{min} = 100$

- C-2-2-a) A l'aide du document constructeur (page D 1/8) , déterminer la valeur de l'intensité du courant I_C , dans le cas où le transistor de l'optocoupleur est saturé. Calculer la valeur maximale de R_2
- C-2-2-b) Déterminer la valeur de R_1 qui permet la saturation de T (on prendra un coefficient de sursaturation de 3).
- C-2-2-c) Donner la fonction de l'optocoupleur et du circuit comparateur.
- C-2-2-d) Compléter le tableau de la feuille réponse 1 (page C 10/12) .

C-2-3) Analyse structurelle de FS62



- C-2-3-a) Compléter les chronogrammes de la feuille réponse 1 (page 10/12). V_M est la tension issue du capteur au mercure (voir schéma structurel de FS61).

C-2-4) Synthèse de fonctionnement

HYPOTHESE:

Les conditions météorologiques sont telles que pendant la durée de mesures, le débit pluviométrique reste constant.

La fonction FS65 délivre un signal dont la fréquence est fixée par FP1 (elle peut varier entre F_0 et $F_0/128$, $F_0 = 1,28kHz$).

Caractéristiques du pluviomètre:

Surface de la bague de l'auge = 400 cm^2

Poids d'eau dans l'auge avant basculement = 20g

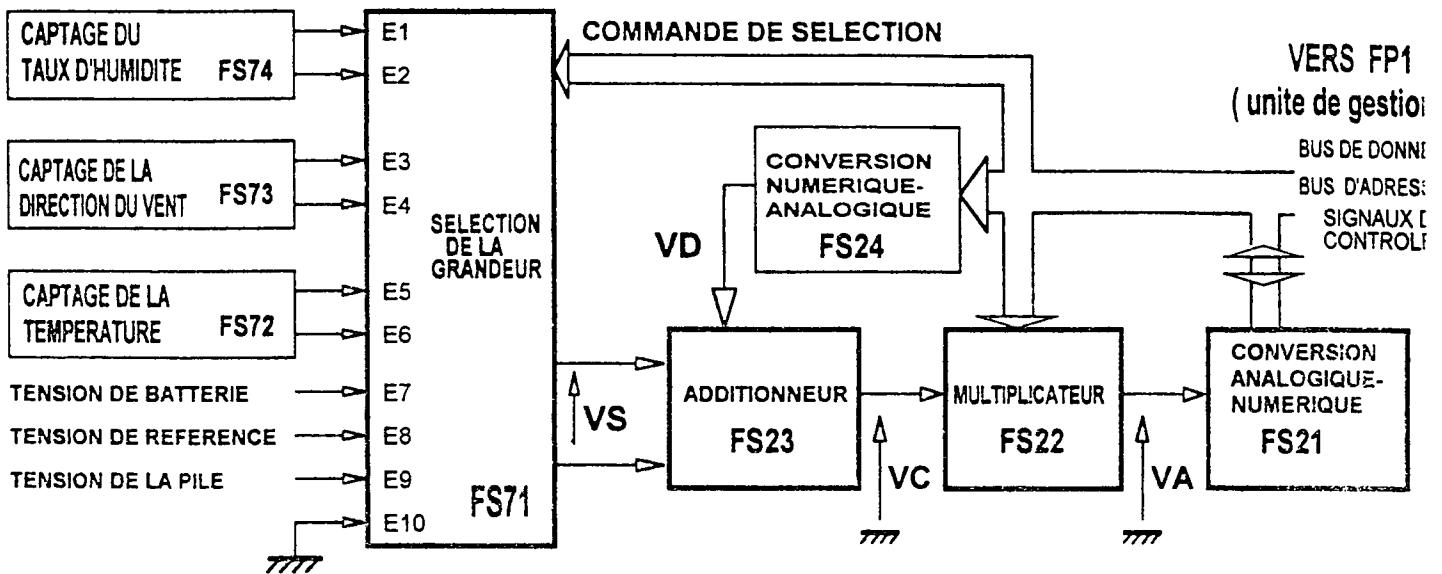
Question:

- En supposant que la fréquence du signal H est fixée à $F_0/4$ et qu'il tombe 4 cm d'eau en 1 heure, quelle sera la valeur (en hexadécimal) acquise par un compteur au bout de la durée séparant 2 basculements (les compteurs sont remis à zéro par FP1 après lecture de leur contenu) .

C-3) ETUDE DES FONCTIONS PRINCIPALES FP2 " conversion analogique-numérique " et FP7 " captage et sélection "

L'étude de FP7 ne portera que sur la fonction secondaire FS71 " sélection ".

Schéma fonctionnel de degré 2 des fonctions FP7 et FP2:

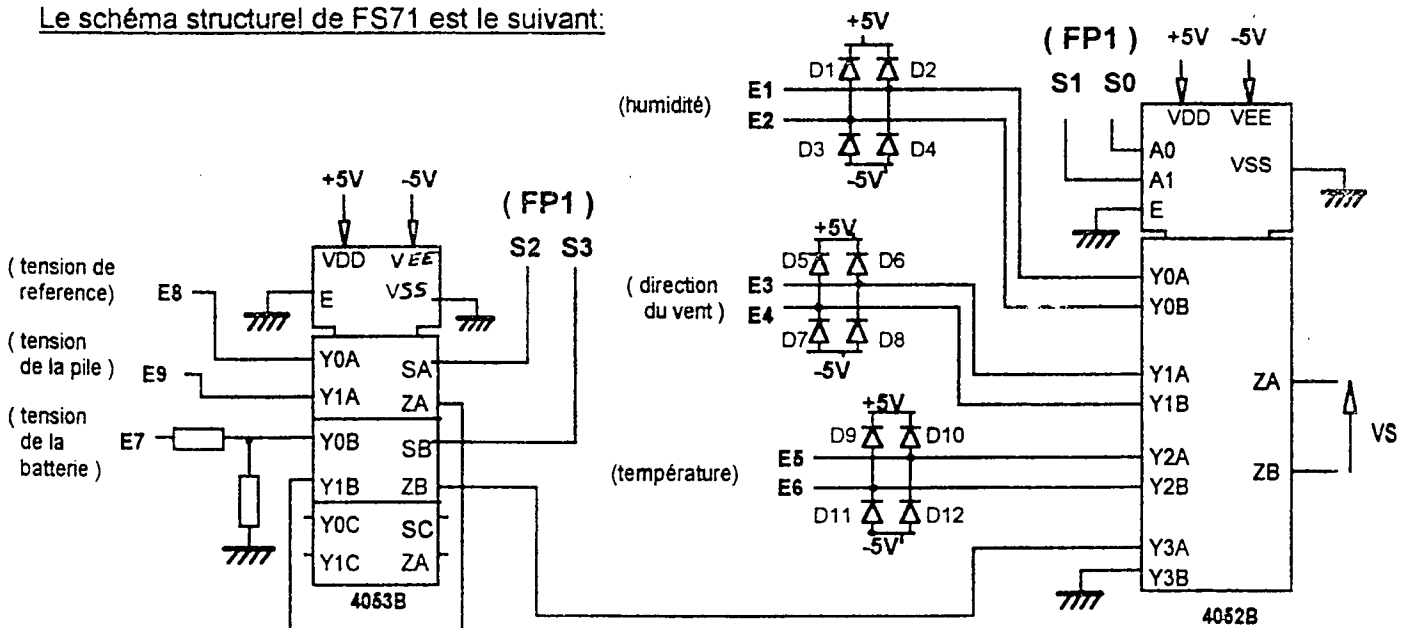


C-3-1) Analyse structurelle de FS71

Fonctionnement: L'unité de gestion sélectionne la grandeur à mesurer, en commandant FS71. La tension d'entrée sélectionnée se retrouve en sortie de FS71 (tension VS). Les tensions d'entrée sont :

- La tension issue du captage de l'humidité de l'air (tension différentielle)
- La tension issue du captage de direction du vent (tension différentielle)
- La tension issue du captage de la température (tension différentielle)
- Les tensions de batterie, de référence, et de la pile de sauvegarde de la mémoire contenant les mesures. Ces tensions sont contrôlées par le programme d'auto-surveillance de la station (elles sont référencées par rapport à la masse).

Le schéma structurel de FS71 est le suivant:



C-3-1-a) A partir de la documentation constructeur (pages D 2/8 et D 3/8), compléter le tableau de la feuille réponse 2 (page C 11/12).

C-3-1-b) Quelle est dans ce montage la résistance à l'état fermé du plus mauvais des commutateurs internes des familles de circuit 4052B et 4053B?

- 5 volts < Plage des tensions issues des capteurs < + 5 Volts.

C-3-1-c) Déterminer les valeurs extrêmes possibles des tensions présentes sur les entrées analogiques (Y) du circuit 4052B; Justifier la présence des diodes D1 à D12.

C-3-2) Etude des fonctions secondaires FS23 et FS24

Fonctionnement:

La fonction FP2 convertit la tension présente à son entrée (tension VS), en une valeur numérique codée en hexadécimal sur 12 bits. C'est la fonction FS21 qui assure cette conversion. En entrée, elle reçoit la tension VA qui est à convertir.

Chaque captage délivre une plage de tension qui lui est propre :

- Le captage d'humidité délivre une tension variant de 0,2v à 1v .
- Le captage de température délivre une tension variant de 0,42v à 0,61v .
- Le captage de direction du vent délivre une tension variant de 0v à 3,8 v .

Dans le but de ramener chaque plage de tension, à celle de la fonction FS21, le constructeur a prévu une adaptation, réalisée par les fonctions FS22, FS23, FS24.

Le principe consiste, pour chaque plage de tension, à ramener la valeur minimum à 0 volts, et la valeur maximum à 4,096 volts. Dans ce but, on soustrait à VS une valeur correspondant à la valeur mini de la plage, puis le résultat obtenu est multiplié par un coefficient A.

Exemple: Pour le capteur d'humidité l'opération réalisée est : $VA = (VS - 0,2v) \times A$ avec $A = \frac{4,096}{1-0,2}$

Lorsque $VS = 0,2v$, $VA = 0 v$ et lorsque $VS = 1 v$, $VA = 4,096 v$.

La fonction FS23 réalise l'opération $VC = - (VS - VD)$ VD est une tension générée par FS 24, sous contrôle de FP1.

La fonction FS22 réalise l'opération $VA = - (VC \times A)$

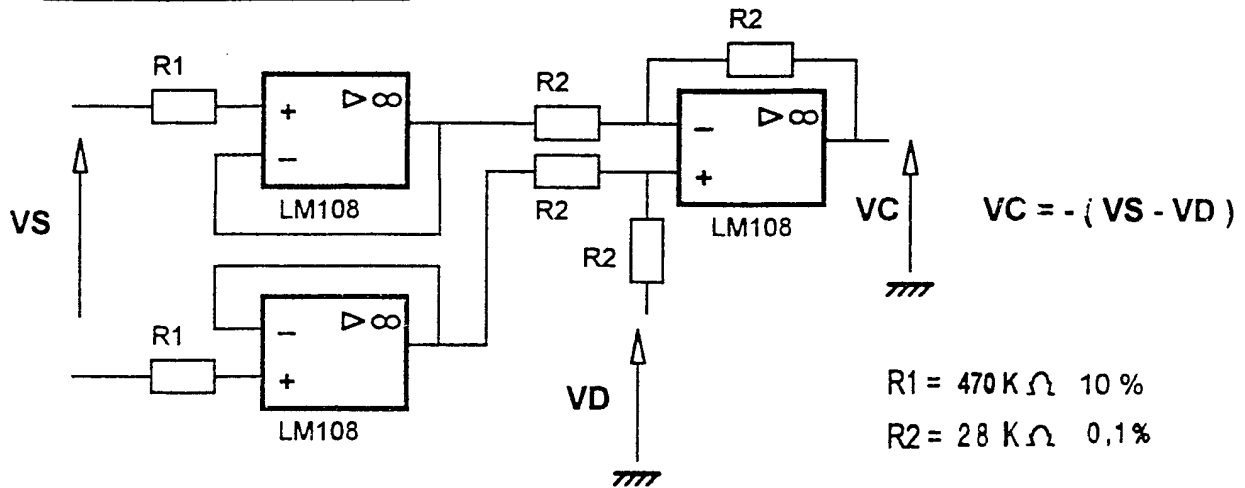
A est le coefficient de multiplication, dont la valeur est sous le contrôle de FP1.

Donc $VA = A \times (VS - VD)$

GROUPEMENT INTERACADEMIQUE II Session 1995			
<u>Examen:</u>	BACCALAUREAT TECHNOLOGIQUE	<u>Coef:</u> 8	<u>Durée:</u> 6 heures
<u>Epreuve:</u>	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE		<u>Feuille:</u> C 5 /12

C-3-21) Analyse structurelle de FS23

Schéma structurel de FS23:

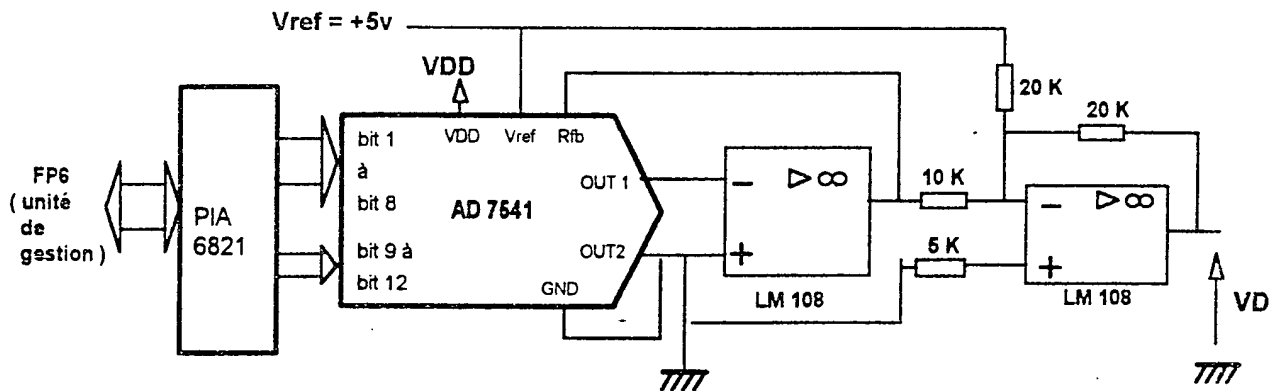


C-3-21-a) D'après la documentation constructeur (page D 4/8), quelle est l'ordre de grandeur des courants d'entrées de FS 23 ?

C-3-21-b) Le choix de cette structure est-il judicieux, compte tenu du type de commutateurs utilisés dans la structure de FS 71 ? Justifiez votre réponse.

C-3-22) Analyse structurelle de FS24

Schéma structurel de FS24:

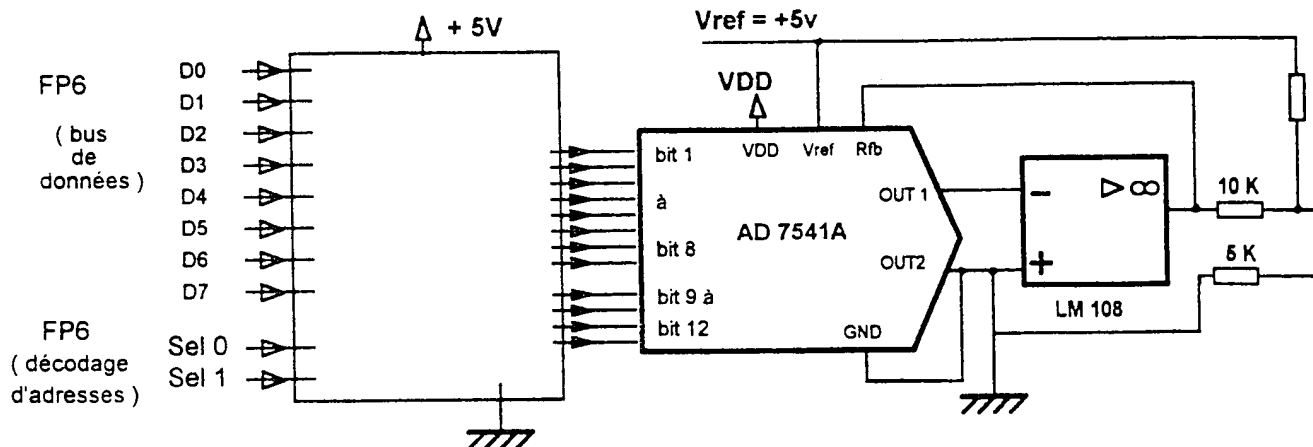


C-3-22-a) -En s'aidant de la documentation constructeur du convertisseur AD7541 (page D 5/8), déterminer les valeurs numériques à charger dans le P.I.A., cela pour chaque capteur (humidité, température et direction du vent). Pour cela, compléter le tableau de la feuille réponse 2 (page C 11/12).

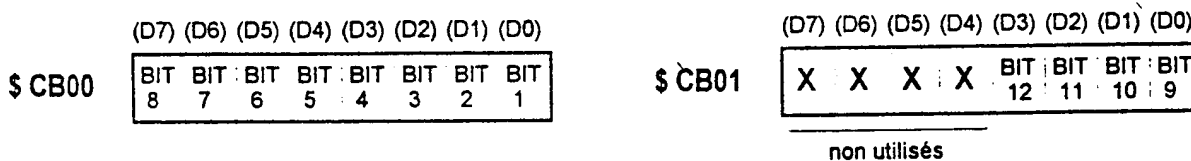
GROUPEMENT INTERACADEMIQUE II Session 1995			
Examen:	BACCALAUREAT TECHNOLOGIQUE	Coef: 8	Durée: 6 heures
Epreuve:	ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS STI GENIE ELECTRONIQUE		Feuille: C 6 /12

C-3-22-b) On se propose de réorganiser structurellement la fonction FS24. La modification à apporter consiste à remplacer le PIA 6821 par les circuits de la famille MOS HC suivants:

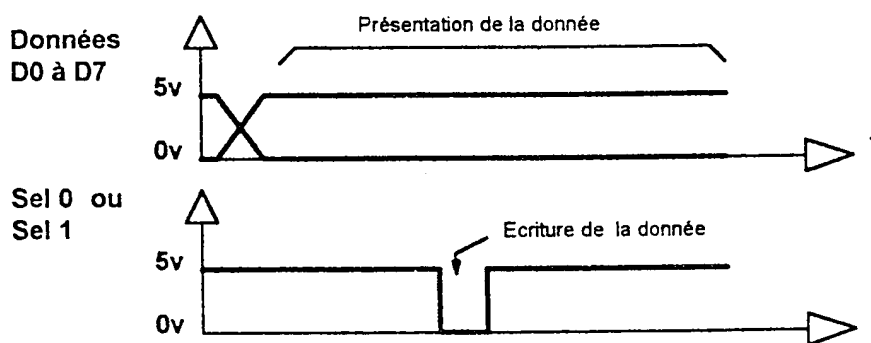
- Un circuit 74 HC 75, un circuit 74 HC 373, et 2 portes inverseuses.



Les signaux Sel 0 et Sel 1 correspondent respectivement au décodage des adresses \$ CB00 et \$ CB01. Une écriture à l'adresse \$ CB00 correspond au chargement des 8 bits de poids faible. Une écriture à l'adresse \$ CB01 correspond au chargement des 4 bits de poids fort.



Déroulement d'un cycle d'écriture : La donnée à écrire est présentée sur le bus de données. Vient ensuite l'activation de Sel 0 (ou 1), qui active le verrouillage des données dans les bascules D des circuits HC 75 et HC 373. Le niveau **ACTIF** des signaux Sel 0 et Sel 1 est le niveau **BAS**.



Travail demandé: Proposer une organisation structurelle permettant le remplacement du PIA 6821 par les circuits décrits ci-dessus, cela en complétant le schéma structurel de la feuille réponse 3 (page C 12/12).

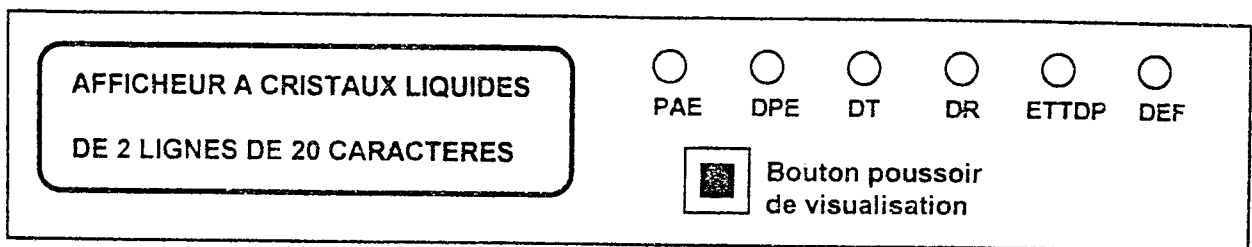
C-4) ETUDE DE LA FONCTION PRINCIPALE FP5 " AFFICHAGE "

C-4-1) Présentation

La partie affichage de la station météorologique est composée d'un afficheur à cristaux liquides de 2 lignes de 20 caractères chacune. Sur la face avant sont également disposées 6 diodes électroluminescentes. Leur rôle est d'indiquer au technicien dans quel état de fonctionnement se trouve le MODEM (modulateur/démodulateur dont le rôle est d'assurer l'échange d'informations sur la ligne téléphonique). Chaque diode correspond à un état particulier. On a 6 états possibles:

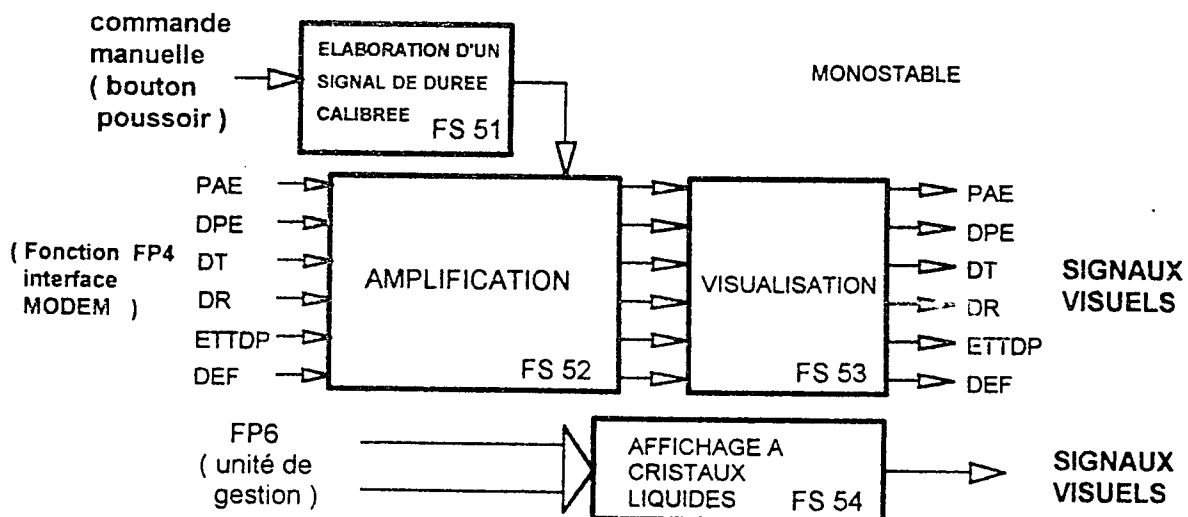
- " Prêt à émettre " (PAE)
- " Demande pour émettre " (DPE)
- " Données reçues " (DR)
- " Données transmises " (DT)
- " Equipement terminal de transmission de données prêt " (ETTDP)
- " Présence d'un défaut " (DEF)

Face avant de la station:

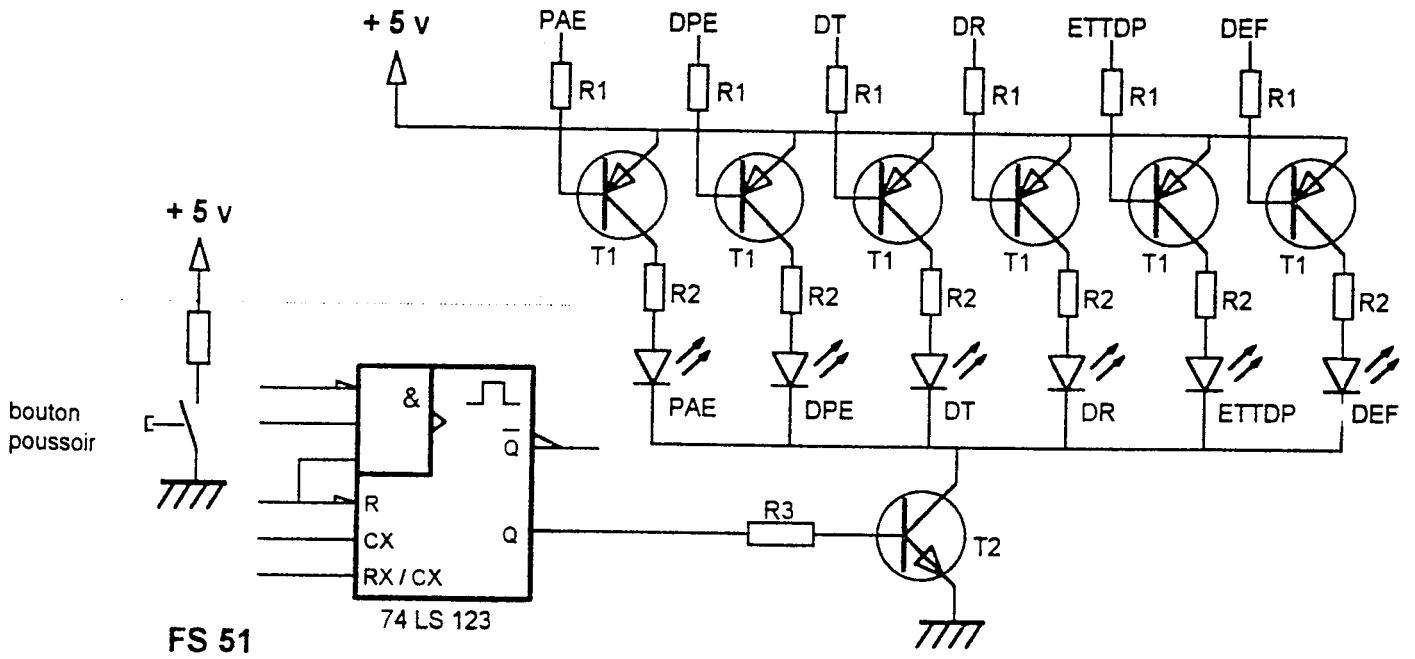


Fonctionnement: Lorsque l'agent de maintenance désire connaître l'état de fonctionnement du MODEM, il appuie brièvement sur un bouton poussoir de visualisation. A partir de cet instant, et pendant une durée de 30 secondes, les diodes s'allument en fonction de l'état du moment. Après 30 secondes, les diodes s'éteignent. Pour relancer la visualisation, il faut réappuyer sur le bouton.

Schéma fonctionnel de FP5 :



C-4-2) Analyse structurelle de FS51, FS52, FS53



La fonction FS 51 est composée d'un circuit du type "monostable", commandé par un appui sur le bouton poussoir. Les signaux PAE, DPE, DT, DR, ETTDP, DEF ont pour niveaux 0 volts ou + 5 volts.

C-4-2-a) Compléter le schéma structurel de FS51 sur la feuille réponse 3 (page C 12/12), en dimensionnant les composants R et C .

C-4-2-b) Les diodes électroluminescentes sont prévues pour s'éclairer à $I_F < 15 \text{ mA}$. Les six diodes peuvent s'allumer en même temps.

Effectuer le choix technologique complet de R3 choisie dans la série E24 pour assurer la saturation de T2 dans tous les cas.

Caractéristiques retenues pour T2 : $450 < \beta < 600$, $V_{be} \approx 0,6 \text{ Volt}$,
 $V_{cesat} \approx 0,2 \text{ Volt}$.

FEUILLE REPONSE 1

Nom: _____
 Prénom: _____
 No. _____

Réponse à la question C-2-2-d

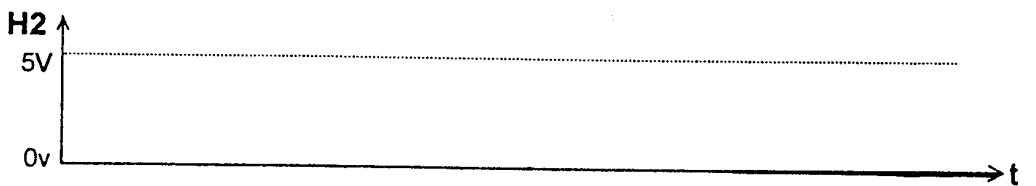
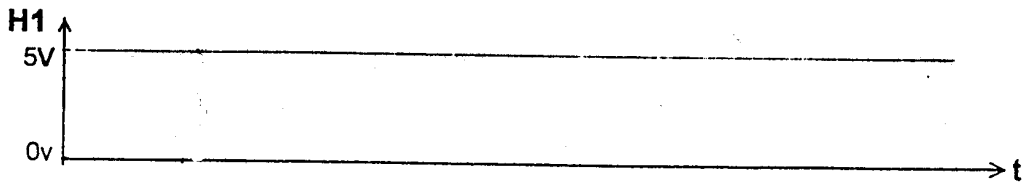
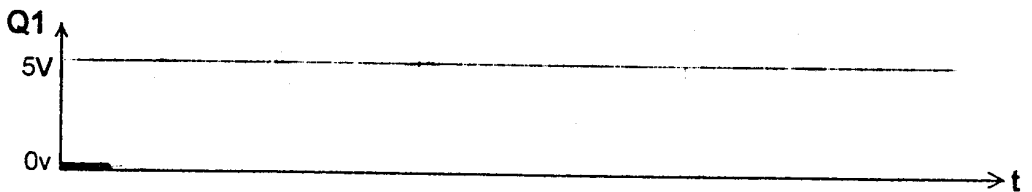
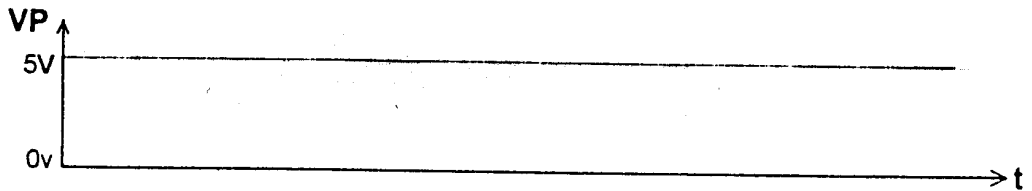
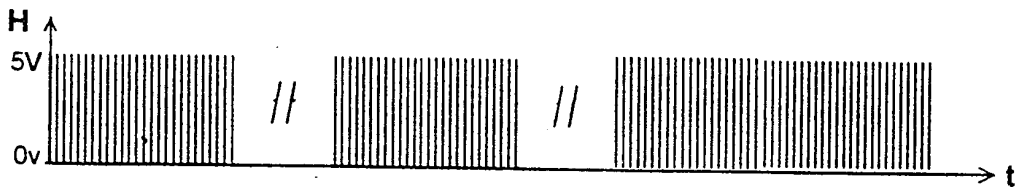
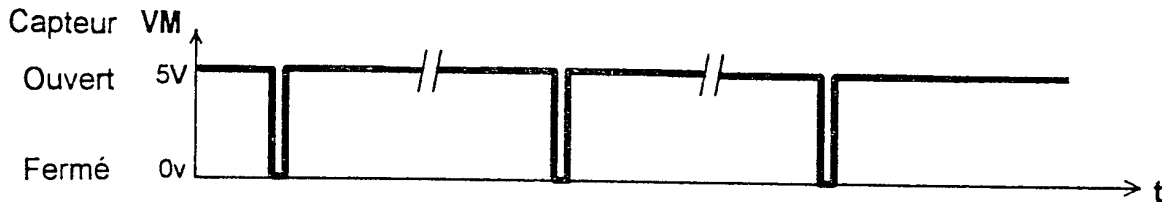
Tableau à compléter

capteur mercure	état de T B ou S	diode D1 P ou B	sortie VP 0 ou 1
ouvert			
fermé			

B : bloqué(e)
 S : saturé
 P : passante
 0 : état bas
 1 : état haut

Réponse à la question C-2-3-a

Chronogrammes à compléter



FEUILLE REPONSE 2

Réponse à la question C-3-1-a

Tableau à compléter

S3	S2	S1	S0	Grandeur disponible sur la sortie VS
B	B	B	B	
B	B	B	H	
B	B	H	B	
B	B	H	H	
B	H	B	B	
B	H	B	H	
B	H	H	B	
B	H	H	H	
H	B	B	B	
H	B	B	H	
H	B	H	B	
H	B	H	H	
H	H	B	B	
H	H	B	H	
H	H	H	B	
H	H	H	H	

B : NIVEAU BAS
H : NIVEAU HAUT

A compléter par :

- tension référence
- tension pile
- tension batterie
- tension dir. vent
- tension humidité
- tension température

Réponse à la question C-3-22-a

Tableau à compléter

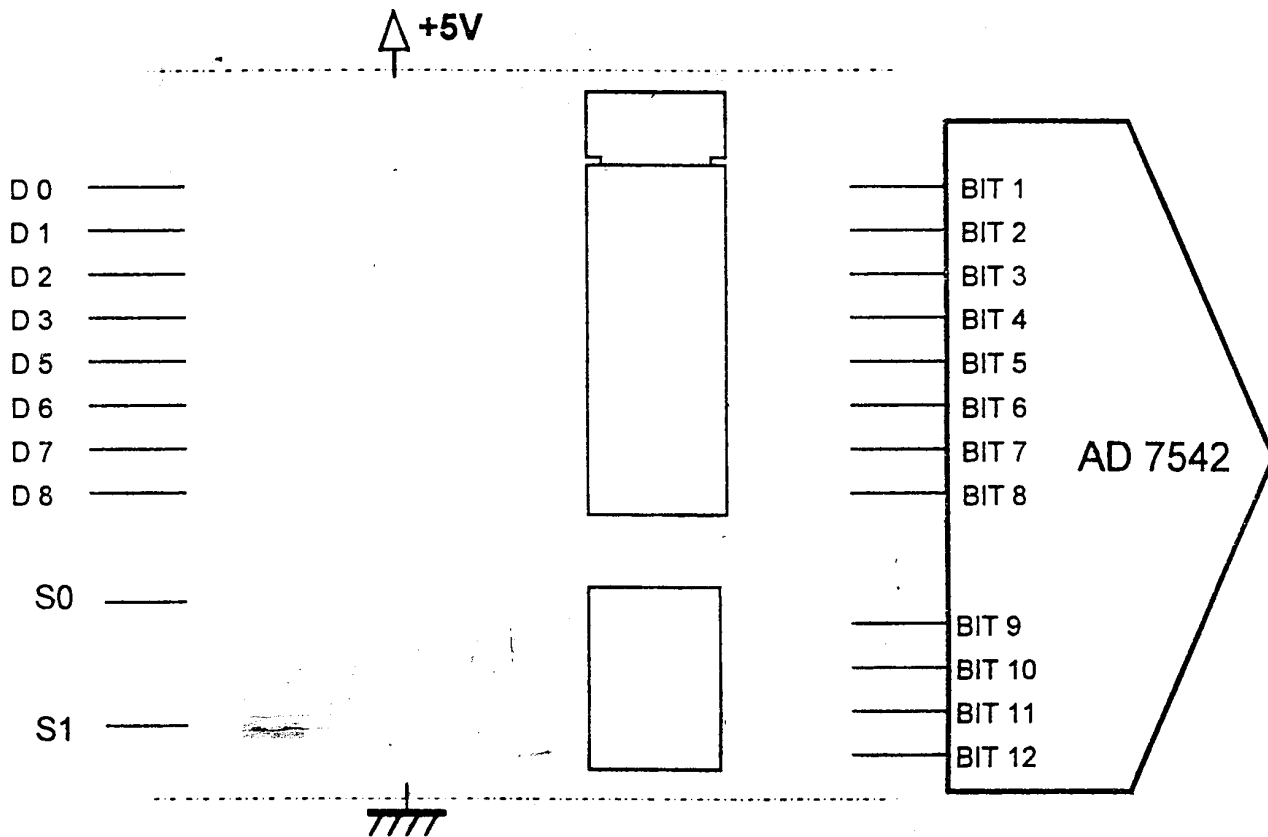
Capteur sélectionné	Valeur de VD à générer	Valeur numérique à charger dans le PIA												
		(Code binaire)											(Code hexadécimal)	
		bit 12	bit 11	bit 10	bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2		bit 1
Direction du vent														
Température														
Humidité														

FEUILLE REPONSE 3

Nom: _____
 Prénom: _____
 No: _____

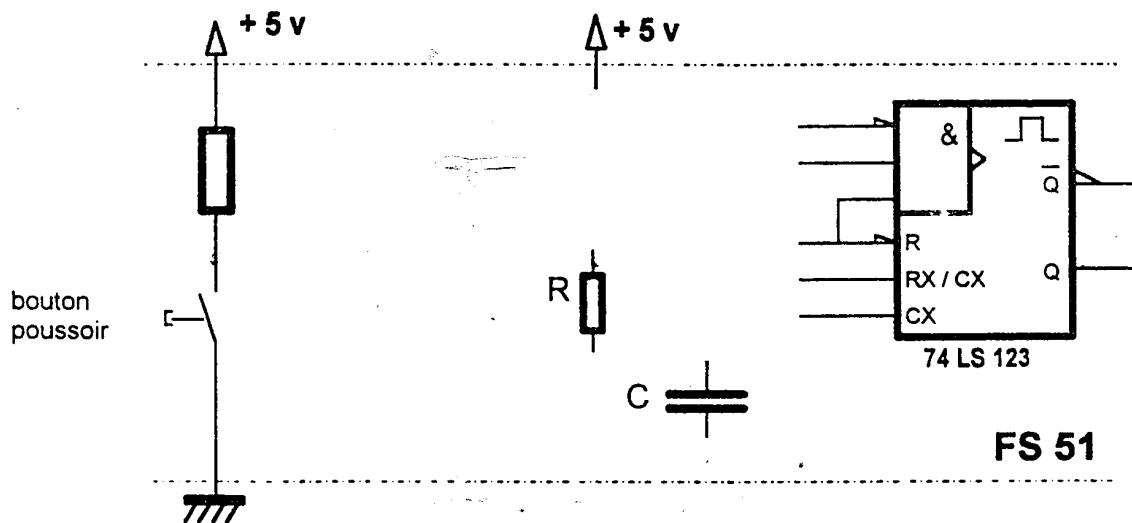
Réponse à la question C-3-22-b

Schéma structurel de FS24 à compléter :



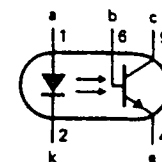
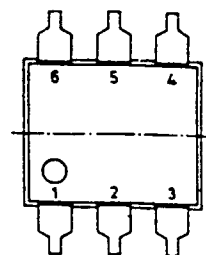
Réponse à la question C-4-2-a

Schéma structurel de FS51 à compléter



This product range is one of the industrial standards applied in the market. The current transfer ratio, isolation voltage and low saturation voltage comply with the specifications of the main part of the optocoupler market.

This range can be used with TTL circuits and is comprised of an infrared emitting GaAs diode and an npn silicon phototransistor.



CHARACTERISTICS

$T_j = 25\text{ }^\circ\text{C}$ unless otherwise specified

Diode

Forward voltage $I_F = 10\text{ mA}$	V_F	typ.	1.15 V
		max.	1.5 V
Reverse current $V_R = 5\text{ V}$	I_R	max.	100 μA
Capacitance at $f = 1\text{ MHz}$ $V = 0$	C_d	typ.	50 pF

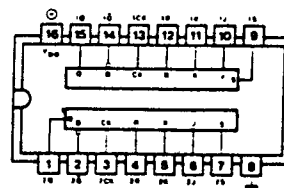
Optocoupler

Output/input DC current transfer ratio (note 1) $I_F = 10\text{ mA}; V_{CE} = 10\text{ V}$	4N25 to 4N26 4N27 4N28	I_C/I_F	min.	0.2
		I_C/I_F	min.	0.1
Collector-emitter saturation voltage $I_F = 50\text{ mA}; I_C = 2\text{ mA}$		V_{CEsat}	typ.	0.1 V
Isolation voltage; $t = 1\text{ min}$ DC (see notes 2 and 3) AC (RMS value)		V_{IORM}	min.	2.82 kV 2.0 kV
Capacitance between input and output $V_{IO} = 0; f = 1\text{ MHz}$		C_{io}	typ.	0.6 pF

4027 DOUBLE BASCULE J-K

4027: Double bascule J-K

Les données, présentes sur les entrées J et K, sont prises en compte lorsque le signal d'horloge (CK) est au niveau logique bas et sont transférées sur les sorties durant un flanc montant sur cette entrée. Les entrées asynchrones SET (S) (mise au niveau logique haut) et RESET (R) (mise au niveau logique bas), actives au niveau logique haut, sont indépendantes et prioritaires sur les entrées d'horloge et les entrées J et K.



V_{DD}	5	10	15	V
Fréquence d'horloge maximale	3,5	9	13	MHz

TRUTH TABLE

CK	INPUTS				OUTPUTS*		
	J	K	S	R	Q_n^\ddagger	Q_{n+1}	\bar{Q}_{n+1}
1	X	0	0	0	0	1	0
X	0	0	0	0	1	1	0
0	X	0	0	0	0	0	1
X	1	0	0	1	0	1	0
X	X	0	0	X	Q_n	\bar{Q}_n	No change
X	X	X	1	0	X	1	0
X	X	X	0	1	X	0	1
X	X	X	1	1	X	1	1

X = Don't care
 \ddagger = Present state
 $\bar{\cdot}$ = Next state

HEF4053B

MSI

TRIPLE 2-CHANNEL ANALOGUE MULTIPLEXER/DEMULPLEXER

The HEF4053B is a triple 2-channel analogue multiplexer/demultiplexer with a common enable input (\bar{E}). Each multiplexer/demultiplexer has two independent inputs/outputs (Y_0 and Y_1), a common input/output (Z), and select inputs (S_n). Each also contains two-bidirectional analogue switches, each with one side connected to an independent input/output (Y_0 and Y_1) and the other side connected to a common input/output (Z).

With \bar{E} LOW, one of the two switches is selected (low impedance ON-state) by S_n . With \bar{E} HIGH, all switches are in the high impedance OFF-state, independent of S_A to S_C .

V_{DD} and V_{SS} are the supply voltage connections for the digital control inputs (S_A to S_C and \bar{E}). The V_{DD} to V_{SS} range is 3 to 15 V. The analogue inputs/outputs (Y_0 , Y_1 and Z) can swing between V_{DD} as a positive limit and V_{EE} as a negative limit. $V_{DD}-V_{EE}$ may not exceed 15 V.

For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to V_{SS} (typically ground).

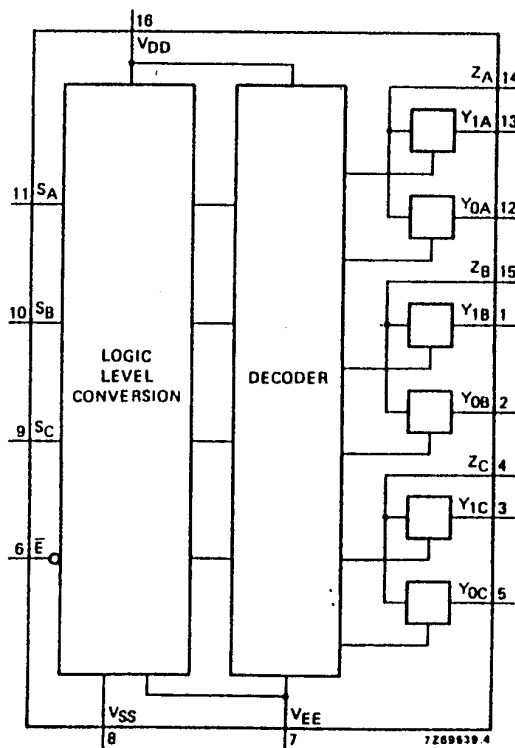


Fig. 1 Functional diagram.

FAMILY DATA

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Supply voltage (with reference to V_{DD})

V_{EE} -18 to +0,5 V

FUNCTION TABLE

inputs		channel
E	S_n	ON
L	1	Y_{0n} - Z_n
L	11	Y_{1n} - Z_n
H	X	none

H : HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

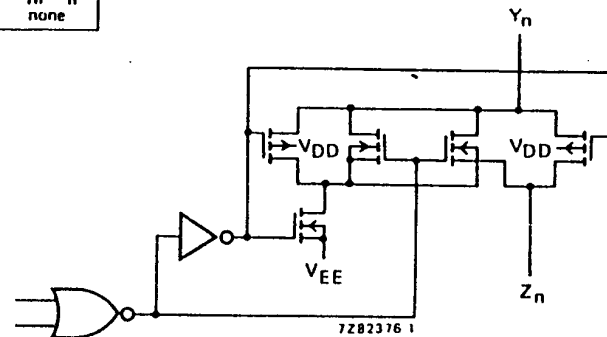


Fig. 3 Schematic diagram (one switch).

D.C. CHARACTERISTICS

$T_{amb} = 25^\circ C$

	$V_{DD}-V_{EE}$ V	symbol	typ.	max.	conditions
ON resistance	5	R_{ON}	350	2500	$V_{yn} = V_{EE}$
	10		80	245	
	15		60	175	
ON resistance	5	R_{ON}	115	340	$V_{yn} = V_{DD}$
	10		50	160	
	15		40	115	
ON resistance	5	R_{ON}	120	365	$V_{EE} < V_{Yn} < V_{DD}$
	10		65	200	
	15		50	155	
'Δ' ON resistance between any two channels	5	ΔR_{ON}	25	-	$V_{is} = 0$ to $V_{DD}-V_{EE}$
	10		10	-	
	15		5	-	
OFF-state leakage current, all channels OFF	5	I_{OZZ}	-	-	E at V_{DD}
	10		-	-	
	15		-	1000	
OFF-state leakage current, any channel	5	I_{OZY}	-	-	E at V_{SS}
	10		-	-	
	15		-	200	

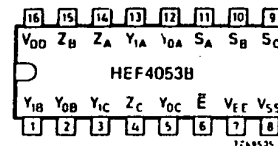


Fig. 2 Pinning diagram.

PINNING

- Y_{0A} to Y_{0C} independent inputs/outputs
- Y_{1A} to Y_{1C} independent inputs/outputs
- S_A to S_C select inputs
- E enable input (active LOW)
- Z_A to Z_C common inputs/outputs

HEF4053BP: 16-lead DIL; plastic (SOT 38Z).
HEF4053BD: 16-lead DIL; ceramic (cerdip) (SOT-74).
HEF4053BT: 16-lead mini-pack; plastic (ISO-16; SOT-109A).

HEF4052B
MSI

DUAL 4-CHANNEL ANALOGUE MULTIPLEXER/DEMULTIPLEXER

The HEF4052B is a dual 4-channel analogue multiplexer/demultiplexer with common channel select logic. Each multiplexer/demultiplexer has four independent inputs/outputs (Y_0 to Y_3) and a common input/output (Z). The common channel select logic includes two address inputs (A_0 and A_1) and an active LOW enable input (\bar{E}).

Both multiplexers/demultiplexers contain four bidirectional analogue switches, each with one side connected to an independent input/output (Y_0 to Y_3) and the other side connected to a common input/output (Z).

With \bar{E} LOW, one of the four switches is selected (low impedance ON-state) by A_0 and A_1 . With \bar{E} HIGH, all switches are in the high impedance OFF-state, independent of A_0 and A_1 .

V_{DD} and V_{SS} are the supply voltage connections for the digital control inputs (A_0 , A_1 and \bar{E}). The V_{DD} to V_{SS} range is 3 to 15 V. The analogue inputs/outputs (Y_0 to Y_3 , and Z) can swing between V_{DD} as a positive limit and V_{EE} as a negative limit. $V_{DD} - V_{EE}$ may not exceed 15 V.

For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to V_{SS} (typically ground).

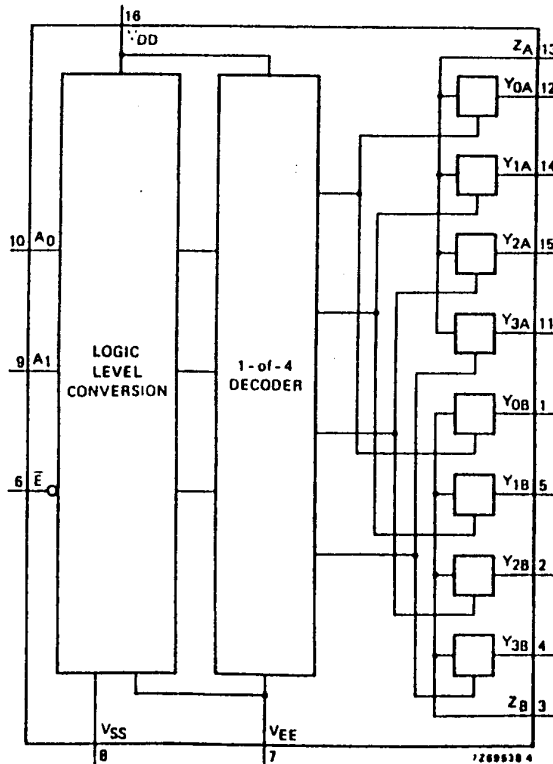


Fig. 1 Functional diagram.

FAMILY DATA

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Supply voltage (with reference to V_{DD})

V_{EE} -18 to +0.5 V

FUNCTION TABLE

\bar{E}	inputs		channel ON	
	A_1	A_0	Y_0A-ZA ; Y_0B-ZB	Y_1A-ZA ; Y_1B-ZB
L	L	L	Y_0A-ZA ; Y_0B-ZB	Y_1A-ZA ; Y_1B-ZB
L	L	H	Y_2A-ZA ; Y_2B-ZB	Y_3A-ZA ; Y_3B-ZB
L	H	L	Y_0A-ZA ; Y_0B-ZB	Y_1A-ZA ; Y_1B-ZB
L	H	H	Y_2A-ZA ; Y_2B-ZB	Y_3A-ZA ; Y_3B-ZB
H	X	X	none	none

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

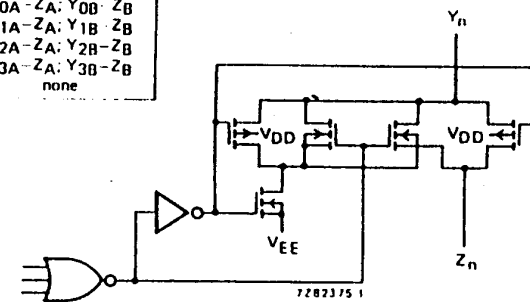


Fig. 3 Schematic diagram (one switch).

D.C. CHARACTERISTICS

$T_{amb} = 25^\circ C$

	$V_{DD}-V_{EE}$ V	symbol	typ.	max.	conditions
ON resistance	5	R_{ON}	350	2500	$V_{yn} = V_{EE}$
	10		80	245	
	15		60	175	
ON resistance	5	R_{ON}	115	340	$V_{yn} = V_{DD}$
	10		50	160	
	15		40	115	
ON resistance	5	R_{ON}	120	365	$V_{EE} < V_{yn} < V_{DD}$
	10		65	200	
	15		50	155	
' Δ ' ON resistance between any two channels	5	ΔR_{ON}	25	-	$V_{is} = 0$ to $V_{DD}-V_{EE}$ see Fig. 6
	10		10	-	
	15		5	-	
OFF-state leakage current, all channels OFF	5	I_{OZZ}	-	-	E at V_{DD}
	10		-	-	
	15		-	1000	
OFF-state leakage current, any channel	5	I_{OZY}	-	-	E at V_{SS}
	10		-	-	
	15		-	200	

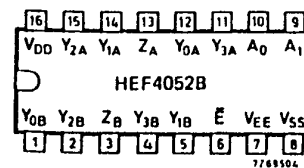


Fig. 2 Pinning diagram.

PINNING

Y_0A to Y_3A independent inputs/outputs
 Y_0B to Y_3B independent inputs/outputs
 A_0 , A_1 address inputs
 \bar{E} enable input (active LOW)
 Z_A , Z_B common inputs/outputs

HEF4052BP: 16-lead DIL; plastic (SOT-38Z).

HEF4052BD: 16-lead DIL; ceramic (cerdip) (SOT-74).



LM108/LM208/LM308 Operational Amplifiers

General Description

The LM108 series are precision operational amplifiers having specifications a factor of ten better than FET amplifiers over a -55°C to $+125^{\circ}\text{C}$ temperature range.

The devices operate with supply voltages from $\pm 2\text{V}$ to $\pm 20\text{V}$ and have sufficient supply rejection to use unregulated supplies. Although the circuit is interchangeable with and uses the same compensation as the LM101A, an alternate compensation scheme can be used to make it particularly insensitive to power supply noise and to make supply bypass capacitors unnecessary.

The low current error of the LM108 series makes possible many designs that are not practical with conventional amplifiers. In fact, it operates from $10\text{ M}\Omega$ source resistances,

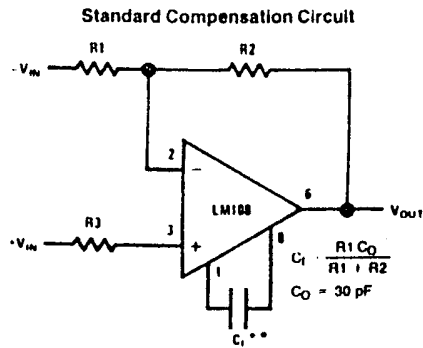
introducing less error than devices like the 7C9 with $10\text{ k}\Omega$ sources. Integrators with drifts less than $500\ \mu\text{V}/\text{sec}$ and analog time delays in excess of one hour can be made using capacitors no larger than $1\ \mu\text{F}$.

The LM108 is guaranteed from -55°C to $+125^{\circ}\text{C}$, the LM208 from -25°C to $+85^{\circ}\text{C}$, and the LM308 from 0°C to $+70^{\circ}\text{C}$.

Features

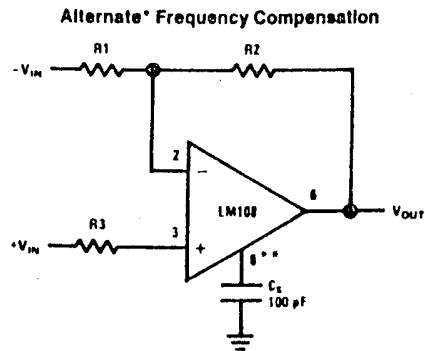
- Maximum input bias current of $3.0\ \text{nA}$ over temperature
- Offset current less than $400\ \text{pA}$ over temperature
- Supply current of only $300\ \mu\text{A}$, even in saturation
- Guaranteed drift characteristics

Compensation Circuits



TL/H/7758-1

**Bandwidth and slew rate are proportional to $1/C_1$



TL/H/7758-2

*Improves rejection of power supply noise by a factor of ten.

**Bandwidth and slew rate are proportional to $1/C_c$

Supply Voltage
Power Dissipation (Note 1)
Differential Input Current (Note 2)
Input Voltage (Note 3)
Output Short-Circuit Duration
Operating Temperature Range (LM108)
(LM208)
Storage Temperature Range

LM108/LM208
 $\pm 20\text{V}$
 $500\ \text{mW}$
 $\pm 10\ \text{mA}$
 $\pm 15\text{V}$
Continuous
 -55°C to $+125^{\circ}\text{C}$
 -25°C to $+85^{\circ}\text{C}$
 -65°C to $+150^{\circ}\text{C}$

Electrical Characteristics

Parameter	Condition	LM108/LM208			Units
		Min	Typ	Max	
Input Offset Voltage	$T_A = 25^{\circ}\text{C}$		0.7	2.0	mV
Input Offset Current	$T_A = 25^{\circ}\text{C}$		0.05	0.2	nA
Input Bias Current	$T_A = 25^{\circ}\text{C}$		0.8	2.0	nA
Input Resistance	$T_A = 25^{\circ}\text{C}$	30	70		$\text{M}\Omega$
Supply Current	$T_A = 25^{\circ}\text{C}$		0.3	0.6	mA
Large Signal Voltage Gain	$T_A = 25^{\circ}\text{C}, V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}, R_L \geq 10\ \text{k}\Omega$	50	300		V/mV
Input Offset Voltage				3.0	mV
Average Temperature Coefficient of Input Offset Voltage			3.0	15	$\mu\text{V}/^{\circ}\text{C}$
Input Offset Current				0.4	nA
Average Temperature Coefficient of Input Offset Current			0.5	2.5	$\text{pA}/^{\circ}\text{C}$



CMOS 12-Bit Monolithic Multiplying DAC

AD7541A

FEATURES

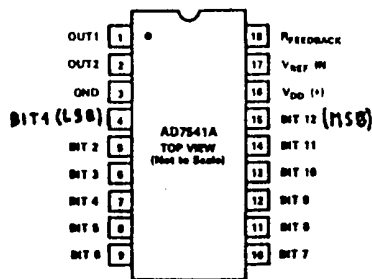
- Improved Version of AD7541
- Full Four Quadrant Multiplication
- 12-Bit Linearity (End-Point)
- All Parts Guaranteed Monotonic
- TTL/CMOS Compatible
- Low Cost
- Protection Schottky not Required
- Low Logic Input Leakage

GENERAL DESCRIPTION

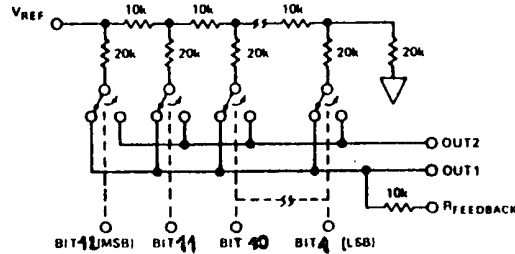
The Analog Devices' AD7541A is a low cost, high performance 12-bit monolithic multiplying digital to analog converter. It is fabricated using advanced, low noise, thin film on CMOS technology and is available in a standard 18-pin DIP and in 20-terminal surface mount packages.

The AD7541A is functionally and pin compatible with the industry standard AD7541 device and offers improved specifications and performance. The improved design ensures that the device is latch-up free so no output Schottky protection diodes are required.

This new device uses laser wafer trimming to provide full 12-bit end-point linearity with several new high performance grades.



AD7541A FUNCTIONAL BLOCK DIAGRAM



DIGITAL INPUTS (DTL/TTL/CMOS COMPATIBLE)
Logic: A switch is closed to I_{OUT1} for its digital input in a "HIGH" state.

PRODUCT HIGHLIGHTS

Compatibility: The AD7541A can be used as a direct replacement for any AD7541-type device. As with the Analog Devices AD7541, the digital inputs are TTL/CMOS compatible and have been designed to have a $\pm 1\mu\text{A}$ maximum input current requirement so as not to load the driving circuitry.

Improvements: The AD7541A offers the following improved specifications over the AD7541:

- Gain Error for all grades has been reduced with premium grade versions having a maximum gain error of $\pm 3\text{LSB}$.
- Gain Error temperature coefficient has been reduced to 2ppm/ $^{\circ}\text{C}$ typical and 5ppm/ $^{\circ}\text{C}$ maximum.
- Digital to analog charge injection energy for this new device is typically 20% less than the standard AD7541 part.
- Latch-up proof.
- Improvements in laser wafer trimming provides 1/2LSB max differential nonlinearity for top grade devices over the operating temperature range (vs. 1LSB on older 7541 types).
- All grades are guaranteed monotonic to 12 bits over the operating temperature range.

BIPOLAR OPERATION (4-QUADRANT MULTIPLICATION)

Figure 5 and Table III illustrate the circuitry and code relationship for bipolar operation. With a dc reference (positive or negative polarity) the circuit provides offset binary operation. With an ac reference the circuit provides full 4-quadrant multiplication.

With the DAC loaded to 1000 0000 0000, adjust R1 for V_{OUT} = 0V (alternatively, one can omit R1 and R2 and adjust the ratio of R3 to R4 for V_{OUT} = 0V). Full scale trimming can be accomplished by adjusting the amplitude of V_{REF} or by varying the value of R5.

As in unipolar operation, A1 must be chosen for low V_{OS} and low I_B. R3, R4 and R5 must be selected for matching and tracking. Mismatch of 2R3 to R4 causes both offset and Full Scale error. Mismatch of R5 to R4 or 2R3 causes Full Scale error. C1 phase compensation (10pF to 50pF) may be required for stability, depending on amplifier used.

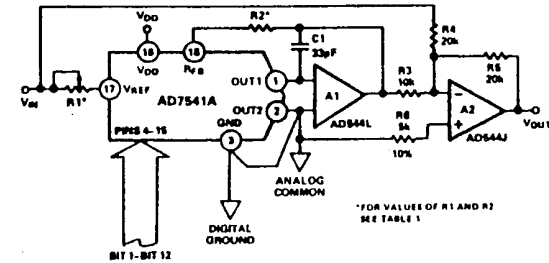


Figure 5. Bipolar Operation (4-Quadrant Multiplication)

Binary Number in DAC		Analog Output, V _{OUT}
MSB	LSB	
1111	1111 1111	$+V_{IN} \left(\frac{2047}{2048} \right)$
1000	0000 0001	$+V_{IN} \left(\frac{1}{2048} \right)$
1000	0000 0000	0V
0111	1111 1111	$-V_{IN} \left(\frac{1}{2048} \right)$
0000	0000 0000	$-V_{IN} \left(\frac{2048}{2048} \right)$

Table III. Table III. Bipolar Code Table for Offset Binary Circuit of Figure 5

DOCUMENT 6

SN54HC75, SN74HC75 4-BIT BISTABLE LATCHES

D2684 DECEMBER 1982 - REVISED SEPTEMBER 1987

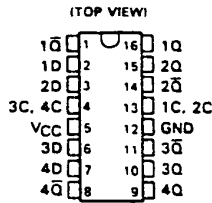
- Complimentary Q and \bar{Q} Outputs
- Package Options Include Plastic "Small Outline" Packages, Standard Plastic and Ceramic 300-mil DIPs
- Dependable Texas Instruments Quality and Reliability

description

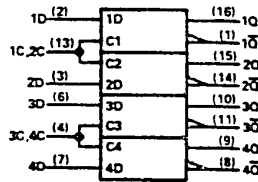
These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (C) is high, and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information, which was present at the data input at the time the transition occurred, is retained at the Q output until the enable is permitted to go high.

The SN54HC75 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74HC75 is characterized for operation from -40°C to 85°C .

SN54HC75 J PACKAGE
SN74HC75 D OR N PACKAGE



logic symbol[†]



[†]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Table de vérité

Entrées		Sorties	
D	C	Q	\bar{Q}
L	H	L	H
H	H	H	\bar{L}
X	L	Q_0	\bar{Q}_0

recommended operating conditions

		SN54HC75			SN74HC75			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	2	5	6	2	5	6	V
V _{IH}	High-level input voltage	V _{CC} = 2 V V _{CC} = 4.5 V V _{CC} = 6 V		1.5 3.15 4.2	1.5 3.15 4.2		V	
V _{IL}	Low-level input voltage	V _{CC} = 2 V V _{CC} = 4.5 V V _{CC} = 6 V		0 0 0	0.3 0.9 1.2		V	
V _I	Input voltage	0	V _{CC}	0	V _{CC}	V		
V _O	Output voltage	0	V _{CC}	0	V _{CC}	V		
t _t	Input transition (rise and fall) times	V _{CC} = 2 V V _{CC} = 4.5 V V _{CC} = 6 V		0 0 0	1000 500 400		ns	
T _A	Operating free-air temperature	-55	125	-40	85	°C		

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

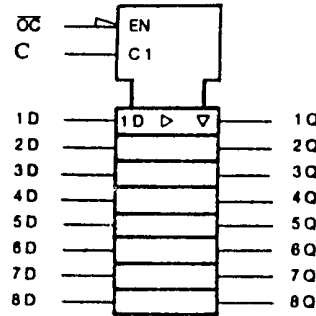
PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C		SN54HC77		SN74HC77		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	
V _{OH}	V _I = V _{IH} or V _{IL} , I _{OH} = -20 μA	2 V	1.9	1.998	1.9	1.9	V		
		4.5 V	4.4	4.499	4.4	4.4			
		6 V	5.9	5.999	5.9	5.9			
		4.5 V	3.98	4.30	3.7	3.84			
V _{OL}	V _I = V _{IH} or V _{IL} , I _{OL} = 20 μA	2 V	0.002	0.1	0.1	0.1	V		
		4.5 V	0.001	0.1	0.1	0.1			
		6 V	0.001	0.1	0.1	0.1			
		4.5 V	0.17	0.26	0.4	0.33			
I _I	V _I = V _{CC} or 0	6 V	±0.1	±100	±1000	±1000	nA		
		6 V	4	80	40	μA			
I _{CC}	V _I = V _{CC} or 0, I _O = 0	6 V	4	80	40	μA			
C _i		2 to 6 V	3	10	10	10	pF		

74373

8 Bascules D avec verrou commandé

Sorties 3 états

Schéma logique



Description

Ces huit bascules comportent des sorties à trois états spécialement conçues pour commander des charges très capacitives ou à relativement faible impédance. Elles sont particulièrement bien adaptées à l'emploi avec des registres tampons, des ports d'E/S, des drivers de bus bidirectionnels et des registres de travail.

Les huit bascules sont des verrous transparents. Lorsque l'entrée de validation C est au niveau haut, les sorties Q suivent les entrées de données D. Lorsque l'entrée C est basse, les sorties Q sont verrouillées au niveau instauré par les entrées D.

Une commande de sortie tamponnée \overline{OC} peut être utilisée pour mettre les huit sorties soit en état logique haut ou bas normal, soit en haute impédance. La commande \overline{OC} n'affecte pas le fonctionnement interne des verrous.

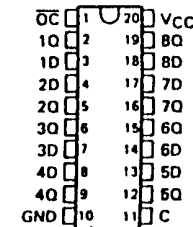
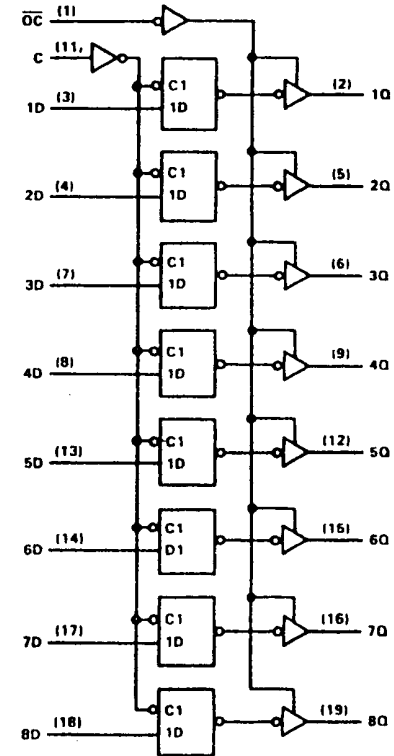
Les circuits 74ALS373 et 74AS373 existent dans la série 54 en version militaire, pour des températures de -55°C à $+125^{\circ}\text{C}$.

Table de vérité
Pour chaque bascule

Entrées			Sorties
\overline{OC}	C.	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

X = Sans importance
Z = Haute impédance

logic diagram (positive logic)



SN54122, SN54123, SN54130, SN54LS122, SN54LS123,
SN74122, SN74123, SN74130, SN74LS122, SN74LS123
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

REVISED DECEMBER 1983

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- '122, 'LS122 Have Internal Timing Resistors

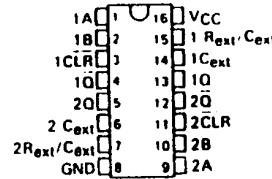
description

These d-c triggered multivibrators feature output pulse width control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122, and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

The R_{int} is nominally 10 k ohms for '122, 'LS122.

SN54122, SN54130, SN54LS123 ... J OR W PACKAGE
SN74122, SN74130 J OR N PACKAGE
SN74LS122, SN74LS123 D, J OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

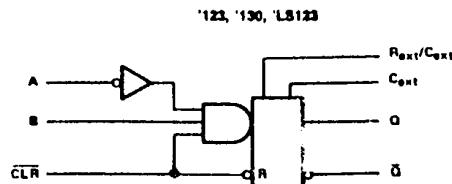


SN54LS122 FK PACKAGE
SN74LS122
(TOP VIEW) (SEE NOTES 1 THRU 4)

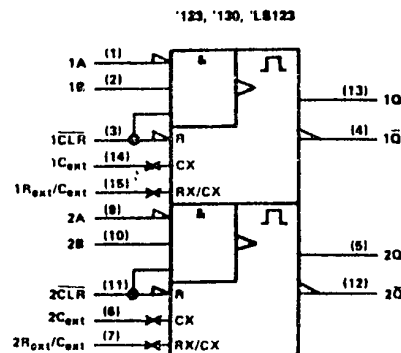
'122, '130, 'LS123
FUNCTION TABLE

INPUTS		OUTPUTS	
CLEAR	A B	Q	\bar{Q}
L	X X	L	H
X	H X	L↑	H↑
X	X L	L↑	H↑
H	L ↓	∩	∩
H	∩ ↑	∩	∩
1	L H	∩	∩

logic diagram (each multivibrator)



logic symbol



TYPES SN54122, SN54123, SN54130,
SN74122, SN74123, SN74130
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

TYPICAL APPLICATION DATA FOR '122, '123, '130

The output pulse is primarily a function of the external capacitor and resistor. For $C_{ext} > 1000$ pF, the output pulse width (t_w) is defined as:

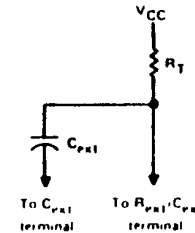
$$t_w = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T} \right)$$

K is 0,28 for '123

R_T is in $K \Omega$ ($R_T = 260 K \Omega$ maximum)

C_{ext} is in pF

t_w is in nanoseconds



TIMING COMPONENT CONNECTIONS
FIGURE 3

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS ¹	SN74LS ²		UNIT
		MIN	MAX	
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_{IK}	Input clamp voltage		-1.5	V
V_{OH}	High-level output voltage	2.7	3.5	V
V_{OL}	Low-level output voltage	0.25	0.4	V
I_I	Input current at maximum input voltage	0.1		mA
I_{IH}	High-level input current	20		μ A
I_{IL}	Low-level input current	-0.4		μ A
I_{OS}	Short-circuit output current ³	-20	-100	mA
I_{CC}	Supply current (quiescent or triggered)	6	11	mA